

明 細 書

半導体装置及びその製造方法

技術分野

- [0001] 本発明は、薄型化及び高速動作化が図れる半導体装置及びその製造方法に係わり、特に、複数の半導体装置を順次積層する積層型半導体装置の製造技術に適用して有効な技術に関する。

背景技術

- [0002] 各種電子装置の多機能・小型化に伴い、電子装置に組み込まれる半導体装置も小型のうちにも多くの回路素子を内蔵する構造になってきている。半導体装置(集積回路装置)の集積密度を向上させる方法として、三次元積層型半導体装置が知られている。
- [0003] 例えば、インターポーザ上に複数段に亘って貫通電極を有するLSIチップを積層固定して高集積化を図る構造が提案されている(例えば、特許文献1、非特許文献1)。
- [0004] また、集積回路を形成した第1乃至第3の半導体基板を積層した3次元半導体装置が知られている。この3次元半導体装置においては、第3の半導体装置はSOI基板を使用している(例えば、特許文献2)。
- [0005] また、3次元積層LSIの製造に必須な技術として、半導体基板に貫通電極を形成する技術がある。シリコン(Si)ウエハに貫通電極を形成する現状のプロセスはまだ工程数が多い(例えば、非特許文献2)。
- [0006] 特許文献1:特開2003-46057号公報
特許文献2:特開2001-250913号公報
非特許文献1:電気学会電子材料研究会資料、VOL.EFM-02-6,No.1-8 ,P31-35
非特許文献2:表面技術、VOL.52,No.7,2001,P479-483
- #### 発明の開示
- #### 発明が解決しようとする課題
- [0007] 従来の3次元積層型半導体装置では以下のような問題がある。

- [0008] (1) LSIチップを多層に積層(例えば3チップ以上)する構造では、主に個別にインターポーザを設けて、そのインターポーザを介して積層することが多い。この場合、特性面から個別フリップチップ工法が採用されることが多い。フリップチップ実装はコストが高くなる。また、個別にインターポーザを介するためにチップ間の接続経路が長くなり特性面でも劣化する。
- [0009] (2) フリップチップに代えるボンディングワイヤによる接続は3層もしくは4層くらいまで可能である。しかし、ワイヤ本数の増加と共に工程数が長くなる。また、ワイヤ故に接続経路が長くなりインピーダンスの増加によって特性劣化(高速動作化)に繋がる。さらに、薄型ベアチップのハンドリングに問題があり、全体の薄型化には限界がある。
- [0010] (3) 完成品の歩留まりを上げるためには、実装(積層)前にベアチップで最終テストを実施しておかなければならないが、ベアチップでの最終テスト、所謂KGD(Known Good Die)での最終テストのコストは現状ではハンドリングの難しさで非常に高い。
- [0011] (4) 1チップ上に複数箇所で積層する場合は精々2段までが限界であり、またこの場合でも接続経路が長くなり特性に影響を与え易い。
- [0012] システム・イン・パッケージ(SiP)は、システム・オン・チップ(SoC)に比べ開発コスト、開発期間が圧倒的に小さく、これからの高性能半導体の一角を担う技術である。SiPはすでに携帯電話やデジタルカメラ等で使われているが、さらに高集積化の要求が高まっている。このため近い将来は4層、5層の積層の要求も出てくると予想され、さらにその組み合わせはフレキシビリティが要求されるものと想定される。
- [0013] 本発明の一つの目的は、半導体装置間の接続経路が短くできる特性の優れた積層型半導体装置を提供することにある。
- [0014] 本発明の一つの目的は、構成の異なる多種の半導体装置を複数段に亘って積層できる薄型の積層型半導体装置を提供することにある。
- [0015] 本発明の一つの目的は、生産性が良好で信頼性が高い薄型の積層型半導体装置を安価に製造できる半導体装置の製造方法を提供することにある。
- [0016] 本発明の一つの目的は、構成の異なる多種の半導体装置を含む電子部品を複数段に亘って容易に積層できる積層型半導体装置の製造方法を提供することにある。

[0017] 本発明の一つの目的は、外部との接続経路が短くでき、薄型でかつ製造コストが安価になる半導体装置を提供することにある。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

課題を解決するための手段

[0018] 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

(1) 本発明の積層型半導体装置は、下面に外部電極端子を有する第1の半導体装置と、前記第1の半導体装置と接合体を介して電氣的に接続され前記第1の半導体装置上に固定される第2の半導体装置と、前記第1の半導体装置と第2の半導体装置との間に接合体を介して順次積層固定される第3の半導体装置を有する積層型半導体装置であって、

前記第1の半導体装置は、

半導体基板と、

前記半導体基板の第1の主面側に形成された複数の回路素子及び前記回路素子に接続する配線を含む多層配線部と、

前記多層配線部を覆う第1の絶縁層と、

前記半導体基板の第1の主面の反対面になる第2の主面を覆う第2の絶縁層と、

前記多層配線部のそれぞれ所定の配線上に形成され前記第1の絶縁層の表面に露出する複数のポスト電極と、

前記多層配線部の所定深さから前記半導体基板及び前記第2の絶縁層を貫通して設けられ、前記半導体基板に絶縁膜を介して接触し、かつ前記多層配線部のそれぞれ所定の配線に接続される複数の貫通電極とを有し、

前記第2の半導体装置は、

半導体基板と、

前記半導体基板の第1の主面側に形成された複数の回路素子及び前記回路素子に接続する配線を含む多層配線部と、

前記多層配線部を覆う第1の絶縁層と、

前記半導体基板の第1の主面の反対面になる第2の主面を覆う第2の絶縁層と、
前記多層配線部のそれぞれ所定の配線上に形成され前記第1の絶縁層の表面に露出するポスト電極、または前記多層配線部の所定深さから前記半導体基板及び前記第2の絶縁層を貫通して設けられ、前記半導体基板に絶縁膜を介して接触し、かつ前記多層配線部のそれぞれ所定の配線に接続される複数の貫通電極とを少なくとも有し、
前記第3の半導体装置は、
半導体基板と、
前記半導体基板の第1の主面側に形成された複数の回路素子及び前記回路素子に接続する配線を含む多層配線部と、
前記多層配線部を覆う第1の絶縁層と、
前記半導体基板の第1の主面の反対面になる第2の主面を覆う第2の絶縁層と、
前記多層配線部のそれぞれ所定の配線上に形成され前記第1の絶縁層の表面に露出する複数のポスト電極と、
前記多層配線部の所定深さから前記半導体基板及び前記第2の絶縁層を貫通して設けられ、前記半導体基板に絶縁膜を介して接触し、かつ前記多層配線部のそれぞれ所定の配線に接続される複数の貫通電極とを有し、
前記第1の半導体装置は前記ポスト電極または前記貫通電極が下面になり、該下面のポスト電極または貫通電極には前記外部電極端子が設けられ、
前記第1の半導体装置の上面の前記ポスト電極または前記貫通電極に、前記第3の半導体装置の下面の前記貫通電極または前記ポスト電極が前記接合体を介して電氣的に接続され、
前記第3の半導体装置の上面の前記ポスト電極または前記貫通電極上に、前記第2の半導体装置の下面の前記ポスト電極または前記貫通電極が前記貫通電極を介して電氣的に接続されている。

[0019] このような積層型半導体装置は、

(a) 半導体基板の第1の主面に所定回路素子を含む製品形成部を複数整列配置形成する工程と、

(b) 前記各製品形成部に前記回路素子に電氣的に繋がる配線及び絶縁層を順次所定パターンに積層形成して多層配線部を形成する工程と、

(c) 前記多層配線部を形成する段階において、前記多層配線部の所定深さから前記半導体基板の前記第1の主面の反対面になる第2の主面に向かい、かつ表面に絶縁膜を有する孔を複数形成するとともに、この孔に導体を充填して前記多層配線部の所定の配線に電氣的に接続される充填電極を形成する工程と、

(d) 前記多層配線部のそれぞれ所定の配線上にポスト電極を形成する工程と、

(e) 前記半導体基板の第1の主面に前記ポスト電極を覆う第1の絶縁層を形成する工程と、

(f) 前記第1の絶縁層の表面を所定厚さ除去して前記ポスト電極を露出させる工程と、

、

(g) 前記半導体基板の第2の主面をその表面から所定厚さ除去して前記充填電極を露出させて貫通電極を形成する工程と、

(h) 前記半導体基板の第2の主面を所定厚さエッチング除去して前記貫通電極を所定の長さ突出させる工程と、

(i) 前記貫通電極の先端を露出させる状態で前記半導体基板の第2の主面に所定の厚さの第2の絶縁層を形成する工程と、

(j) 前記半導体基板を前記第1及び第2の絶縁層を含めて縦横に切断して前記各製品形成部を分割する工程とを有し、

(k) 前記工程 (i) の後、または前記工程 (j) の後に、前記貫通電極及び前記ポスト電極のうちの所定の露出端に突起電極を形成する工程とを有し、

前記工程 (a) 乃至工程 (k) によって、前記第1の半導体装置及び第3の半導体装置を形成し、

前記工程 (a) 乃至工程 (k) における工程の選択によって、前記貫通電極のみまたは前記ポスト電極のみを下面に有する第2の半導体装置を形成し、

つぎに、前記第1の半導体装置を前記貫通電極または前記ポスト電極が下面になるようにして下面の前記電極を前記外部電極端子とし、その後、前記第3の半導体装置の下面の前記貫通電極または前記ポスト電極を前記第1の半導体装置の上面の

前記貫通電極または前記ポスト電極を重ねて前記突起電極の一時的加熱処理によって接続し、

つぎに、前記第2の半導体装置の下面の前記貫通電極または前記ポスト電極を前記第3の半導体装置の上面の前記貫通電極または前記ポスト電極を重ねて前記突起電極の一時的加熱処理によって接続して積層型半導体装置を製造する。

前記貫通電極のみを有する前記第2の半導体装置は、

前記半導体基板の第1の主面に所定回路素子を含む製品形成部を複数整列配置形成する工程と、

前記各製品形成部に前記回路素子に電氣的に繋がる配線及び絶縁層を順次所定パターンに積層形成して多層配線部を形成する工程と、

前記多層配線部を形成する段階において、前記多層配線部の所定深さから前記半導体基板の前記第1の主面の反対面になる第2の主面に向かい、かつ表面に絶縁膜を有する孔を複数形成するとともに、この孔に導体を充填して前記多層配線部の所定の配線に電氣的に接続される充填電極を形成する工程と、

前記半導体基板の第1の主面に第1の絶縁層を形成する工程と、

前記半導体基板の第2の主面をその表面から所定厚さ除去して前記充填電極を露出させて貫通電極を形成する工程と、

前記半導体基板の第2の主面を所定厚さエッチング除去して前記貫通電極を所定の長さ突出させる工程と、

前記半導体基板の第2の主面に所定の厚さの第2の絶縁層を形成して前記貫通電極の先端を露出させる工程と、

前記半導体基板を前記第1及び第2の絶縁層を含めて縦横に切断して前記各製品形成部を分割する工程と、

前記分割する工程の前後に前記貫通電極の露出部分に突起電極を形成する工程とによって形成する。

前記ポスト電極のみを有する前記第2の半導体装置は、

半導体基板の第1の主面に所定回路素子を含む製品形成部を複数整列配置形成する工程と、

前記各製品形成部に前記回路素子に電氣的に繋がる配線及び絶縁層を順次所定パターンに積層形成して多層配線部を形成する工程と、
前記多層配線部のそれぞれ所定の配線上にポスト電極を形成する工程と、
前記半導体基板の第1の主面に前記ポスト電極を覆う第1の絶縁層を形成する工程と、
前記第1の絶縁層の表面を所定厚さ除去して前記ポスト電極を露出させる工程と、
前記半導体基板の第2の主面をその表面から所定厚さ除去して前記半導体基板を薄くする工程と、
前記半導体基板の第2の主面に所定の厚さの第2の絶縁層を形成する工程と、
前記半導体基板を前記第1及び第2の絶縁層を含めて縦横に切断して前記各製品形成部を分割する工程と、
前記分割する工程の前後に前記ポスト電極の露出部分に突起電極を形成する工程とによって形成する。

[0020] (2) 上記(1)の構成において、前記第1の半導体装置上に前記第1の半導体装置よりも小さい第2の半導体装置が複数個並列配置固定されていることを特徴とする。

発明の効果

[0021] 本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

前記(1)の手段によれば、(a)第1及び第3並びに第2の半導体装置は、その製造において、半導体基板の第1の主面側に第1の絶縁層を形成した後、半導体基板の第2の主面を所定厚さ除去するが、前記第1の絶縁層が強度部材として作用することから、半導体基板を5〜50 μm 程度と薄くすることができる。また、絶縁層の厚さも20〜100 μm 程度と薄くできることから、突起電極の厚さを考慮しない状態では、各半導体装置は、例えば、40〜100 μm 程度の厚さにすることができ、積層型半導体装置の薄型化が達成できる。半導体基板及び絶縁層の厚さを下限の数値とすれば、さらに薄型化が図れる。

[0022] (b)第1及び第3並びに第2の半導体装置において、下段側の半導体装置と上段側の半導体装置の接続は、第1の絶縁層に貫通して設けられる柱状になるポスト電

極や半導体基板に貫通して設けられる柱状になる貫通電極を利用して接続されるため、電流経路が短くなり、インダクタンスの低減が達成でき、積層型半導体装置の電気特性が良好になる。第1の絶縁層や半導体基板に設けられるポスト電極や貫通電極は、その長さが5〜50 μm 程度と短く、ワイヤ接続によるボンディングワイヤの数百 μm 以上の長さに比較して充分短くなる。これにより、積層型半導体装置の高速動作が可能になる。

[0023] (c)半導体基板に設ける貫通電極は、回路素子を形成する領域から外れた領域に形成する制約はあるものの配線領域等比較的自由に配置位置を選択することができる。また、多層配線部の所定の配線に接続するポスト電極は、配線の引き回しによって比較的自由に配置位置を決定できる。従って、貫通電極及びポスト電極を設ける位置を選択することによって、2次元方向の集積密度向上を図ることができる。

[0024] (d)本発明の積層型半導体装置は、インターポーザを使用することなく下段側の半導体装置と上段側の半導体装置の電氣的接続が可能になる。この結果、組立部品点数の低減を図ることができるとともに、積層型半導体装置の薄型化が図れる。インターポーザの使用は、半導体チップ間または半導体装置間の接続経路(電流経路)を長くしてしまうが、インターポーザを使用しないことで電流経路の短縮が可能になり、電気特性の向上が図れるようになる。

[0025] (e)本発明の積層型半導体装置の製造において、第1及び第3並びに第2の半導体装置は、その製造において、半導体ウェハを使用して製造し、最終段階で絶縁層と共に切断して第1及び第3並びに第2の半導体装置を製造する。従って、第1及び第3並びに第2の半導体装置の積層固定以外の必要なプロセスはウェハレベルで実施されるため、工程を通してハンドリング性がよく無駄な作業が少なくなる。この結果、生産コストの低減を図ることができる。

(2)上記構成(1)によれば、前記第1の半導体装置上に前記第1の半導体装置よりも小さい第2の半導体装置を複数個並列配置固定することから、更なる集積度向上を図ることができる。

図面の簡単な説明

[0026] [図1]本発明の実施例1である積層型半導体装置の模式的断面図である。

[図2]前記積層型半導体装置の外観を示す模式的斜視図である。

[図3]前記積層型半導体装置の模式的底面図である。

[図4]実施例1の積層型半導体装置の製造方法を示すフローチャートである。

[図5]前記製造方法において、IC等を形成した半導体基板に充填電極を形成した模式的断面図である。

[図6]前記充填電極及び多層配線部の下層部分を示す半導体基板の一部の模式的拡大断面図である。

[図7]前記充填電極及び多層配線部等を示す一部の模式的拡大断面図である。

[図8]前記半導体基板の第1の主面にポスト電極及び第1の絶縁層を形成した状態を示す模式的断面図である。

[図9]前記ポスト電極及び第1の絶縁層を形成した半導体基板の一部の模式的拡大断面図である。

[図10]実施例1の変形例である充填電極構造を示す一部の模式的拡大断面図である。

[図11]実施例1の他の変形例である充填電極構造を示す一部の模式的拡大断面図である。

[図12]前記第1の絶縁層の表面を所定厚さ除去してポスト電極を露出させた状態を示す模式的断面図である。

[図13]前記半導体基板の第2の主面を所定厚さ除去して充填電極を露出させて貫通電極とした状態を示す模式的断面図である。

[図14]前記半導体基板の第2の主面を所定厚さエッチングして貫通電極の先端を突出させた状態を示す模式的断面図である。

[図15]前記半導体基板の第2の主面に貫通電極の先端を露出させるように第2の絶縁層を形成した状態を示す模式的断面図である。

[図16]前記貫通電極及びポスト電極の先端に突起電極を形成した状態を示す模式的断面図である。

[図17]前記半導体基板を下面側にし、第1の絶縁層が上面側なるようにした半導体基板(半導体ウエハ)の模式的断面図である。

[図18]実施例1による積層型半導体装置をトレイに載置収容した模式的平面図である。

[図19]実施例1で形成した3種類の半導体装置(第1の半導体装置、第3の半導体装置及び第2の半導体装置)を積層順にそれぞれ離して示した模式図である。

[図20]実施例1による積層型半導体装置をドウターボードに実装した状態の模式的断面図である。

[図21]本発明の実施例2である積層型半導体装置の模式的断面図である。

[図22]本発明の実施例3である2層積層の積層型半導体装置の模式的断面図である。

[図23]本発明の実施例4である積層型半導体装置の製造方法の一部を示す各工程の断面図である。

[図24]本発明の実施例4である積層型半導体装置の製造方法の一部を示す各工程の断面図である。

[図25]本発明の実施例5である積層型半導体装置の製造方法の一部を示す各工程の断面図である。

[図26]本発明の実施例6である積層型半導体装置をドウターボードに実装した状態の模式的断面図である。

[図27]本発明の実施例7である積層型半導体装置をドウターボードに実装した状態の模式的断面図である。

[図28]本発明の実施例8である積層型半導体装置をドウターボードに実装した状態の模式的断面図である。

[図29]本発明の実施例9である積層型半導体装置をドウターボードに実装した状態の模式的断面図である。

符号の説明

- [0027] 1…積層型半導体装置、2…第1の半導体装置、3…第2の半導体装置、4…第3の半導体装置、5…外部電極端子、6a, 6b, 6c…半導体基板、7a, 7b, 7c…多層配線部、8a, 8b, 8c…第1の絶縁層、9a, 9b, 9c…ポスト電極、10a, 10b, 10c…突起電極、11a, 11b, 11c…第2の絶縁層、12…充填電極、12a, 12b, 12c…貫通

電極、13a, 13b, 13c…突起電極、21…第1のウェル、22…第2のウェル、23…ソース領域、24…ドレイン領域、25…絶縁ゲート膜、26…ゲート電極、27, 28…電極、29…厚い酸化膜、30…絶縁層、31…配線層(配線)、32…電極パッド、33…孔、34…絶縁膜、40…トレイ、41…収容窪、45…ドウターボード、46…バンプ電極、50, 51, 80, 81…アンダーフィル層、60, 70…金属板、61, 71…絶縁用穴。

発明を実施するための最良の形態

[0028] 以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

実施例 1

[0029] 図1乃至図20は本発明の実施例1である積層型半導体装置に係わる図である。図1乃至図3は積層型半導体装置の構造に係わる図であり、図4乃至図19は積層型半導体装置の製造に係わる図であり、図20は積層型半導体装置の実装状態を示す図である。

[0030] 本発明の製造方法によって製造された積層型半導体装置1は、図2に示すように、下段となる四角形状の第1の半導体装置2と、この第1の半導体装置2の上面に積層固定される中段の第3の半導体装置4と、この第3の半導体装置4の上面に積層固定される上段の第2の半導体装置3とからなっている。実施例1の積層型半導体装置1は、第1・第2・第3の半導体装置2, 3, 4は平面的な寸法が同一となり、かつ一致して重なっている。図3は積層型半導体装置1の底面を示す図であるが、第1の半導体装置2の下面に設けられた突起電極によって外部電極端子5が形成されている。

[0031] 第1・第2・第3の半導体装置2, 3, 4において、各半導体装置は積層固定される面側に貫通電極やポスト電極があるか否か、また貫通電極とポスト電極を接続するための接合体があるか否かの違いであることから、各部の名称は同じ名称とし、符号は、第1の半導体装置2では数字の末尾にaを付し、第2の半導体装置3では数字の末尾にbを付し、第3の半導体装置4では数字の末尾にcを付して説明することにする。前記接合体は貫通電極やポスト電極の露出端に設けた突起電極(バンプ電極)を一時的に加熱処理して形成されるものである。

- [0032] 第1の半導体装置2は、四角形状の半導体基板6aを有している。半導体基板6aは、例えば、シリコン(Si)からなり、その第1の主面(IC等の回路が形成される面であり、図1では上面)側には多層配線部7aが形成され、かつこの多層配線部7a上には絶縁性樹脂からなる第1の絶縁層8aが設けられている。絶縁層は、一般に半導体装置の製造に使用される樹脂、例えば、ポリイミド樹脂、エポキシ樹脂等の絶縁性の有機樹脂で形成されている。半導体基板6aは、例えば20 μ m程度の厚さになっている。半導体基板6aは5 \sim 50 μ m程度の厚さとしてもよい。絶縁層は半導体装置を製造するときの強度部材となることから、比較的厚く、例えば50 μ m程度である。なお、絶縁層は20 \sim 100 μ m程度であってもよい。
- [0033] また、第1の絶縁層8aを貫通し、多層配線部7aの所定の配線に電氣的に接続される柱状の銅(Cu)からなるポスト電極9aが設けられている。ポスト電極9aは第1の絶縁層8aの表面に露出している。ポスト電極9aの露出部分には突起電極10aが設けられている。突起電極10aは、例えば、半田ボール、金ボール、表面が金メッキされた銅ボール等からなるバンプ電極である。
- [0034] 半導体基板6aの第1の主面には、各種構造のトランジスタやダイオード等の能動素子や、抵抗素子、容量素子、インダクタ層等の受動素子が必要に応じて形成されている。ポスト電極9aの直径は10 μ m程度であり、厚さは50 μ mである。ポスト電極9aは直径が10 \sim 50 μ m程度とし、厚さが20 \sim 100 μ m程度としてもよい。また、突起電極10aは接続前の大きさで、例えば、60 μ m程度の直径のボールで形成され、厚さは40 μ m程度となる。突起電極10aは直径が40 \sim 80 μ m程度のボールを使用して形成してもよい。
- [0035] 半導体基板6aの前記第1の主面の裏側になる第2の主面(図1では下面)には絶縁性樹脂からなる第2の絶縁層11aが設けられている。第2の絶縁層11aは、例えば、ポリイミド樹脂で形成されている。第2の絶縁層11aは、電氣的絶縁性を確保できればよい厚さであり、例えば、数 μ m \sim 10 μ m程度である。本実施例では5 μ m程度になっている。
- [0036] また、多層配線部7aの所定深さから半導体基板6a及び第2の絶縁層11aを貫通する貫通電極12aが設けられている。この貫通電極12aは多層配線部7aの所定の

配線に電氣的に接続されている。貫通電極12aは、柱状の銅メッキで形成されている。貫通電極12aは、例えば直径 $10\mu\text{m}$ 程度である。貫通電極12aは直径数 μm 〜 $30\mu\text{m}$ 程度であってもよい。貫通電極12aは後述するが、その周面を絶縁膜を介して半導体基板6aに接し、半導体基板6aから電氣的に独立している。

[0037] また、貫通電極12aは第2の絶縁層11aの表面に露出している。この貫通電極12aの露出部分には突起電極13aが設けられている。突起電極13aは、例えば、金ボール、表面が金メッキされた銅ボール、半田ボール等からなるボールバンプ電極である。突起電極13aも突起電極10aと同じ程度のボールである。なお、メッキや印刷(スクリーン印刷)で突起電極を形成してもよい。この場合、突起電極の厚さを $10\mu\text{m}$ 前後にすることができる。

[0038] 実施例1の積層型半導体装置1では、第1・第2・第3の半導体装置2, 3, 4はいずれも第1の絶縁層8a, 8b, 8cが上になり、半導体基板6a, 6b, 6cが下になる構造になっている。

[0039] 中段の第3の半導体装置4においては、ポスト電極9c及び貫通電極12cのパターンは第1の半導体装置2とは異なるが、他の部分は第1の半導体装置2と略同じ構造になっている。なお、第3の半導体装置4では突起電極は設けていない。これは積層固定において、積層される相手側の半導体装置の突起電極を接続に使用することによるものである。しかし、突起電極をポスト電極9c、貫通電極12cにそれぞれ設け、突起電極同士の接続によって積層固定する方法を採用することもできる。

[0040] 中段の第3の半導体装置4は、半導体基板6cの第1の主面(上面)に多層配線部7c及び第1の絶縁層8cを有し、第2の主面に第2の絶縁層11aを有している。そして、第1の絶縁層8cには多層配線部7cの所定の配線に電氣的に接続される複数のポスト電極9cが設けられている。また、半導体基板6cから第2の絶縁層11cを貫通し多層配線部7cの所定配線に電氣的に接続される複数の貫通電極12cを有している。この貫通電極12cもその周面に絶縁膜を有し、半導体基板6cに対して絶縁分離されている。

[0041] 中段の第3の半導体装置4の下面側の貫通電極12cと、下段の第1の半導体装置2の上面側のポスト電極9aはそれぞれ対面し、突起電極10aを介して電氣的に接続

されている。突起電極10aは一時的加熱処理によって接合体となり、接続部分を接続するようになる。この接続によって第1の半導体装置2上に第3の半導体装置4が積層固定されることになる。

[0042] 上段の第2の半導体装置3は、第1の半導体装置2において、上面のポスト電極を設けない構成になっている。即ち、第2の半導体装置3は半導体基板6bの第1の主面(上面)に多層配線部7b及び第1の絶縁層8bを有し、第2の主面に第2の絶縁層11bを有する構造になっている。また、半導体基板6bから第2の絶縁層11bを貫通する貫通電極12bを有している。貫通電極12bは多層配線部7bの所定配線に電氣的に接続されている。第2の絶縁層11bの表面に露出する貫通電極12bには突起電極13bが設けられている。

[0043] 上段の第2の半導体装置3の下面側の貫通電極12bと、中段の第3の半導体装置4の上面側のポスト電極9cはそれぞれ対面し、突起電極13bを介して電氣的に接続されている。この接続によって第3の半導体装置4上に第2の半導体装置3が積層固定されることになる。

[0044] 第1の半導体装置2と第3の半導体装置4を接続する突起電極10aが接合体となり、第3の半導体装置4と第2の半導体装置3を接続する突起電極13bが接合体となる。直径60 μ m程度のボールで突起電極を形成すると、厚さ40 μ m程度の突起電極を形成することができる。また突起電極で前記接合体を形成すると、接合体の厚さは20 μ m程度の厚さになる。なお、ポスト電極や貫通電極に突起電極を形成する場合、直接突起電極を形成し難いときは、貫通電極や突起電極の露出する面に所望のメッキ膜を形成しておけばよい。

[0045] 各半導体装置は、実施例で示した寸法域の所定の寸法をそれぞれ選択することによって、その厚さを40～100 μ m程度とすることができることから、3段に積層固定した積層型半導体装置1は、ボールバンプ電極の場合では200～380 μ m程度になり、印刷による突起電極の場合では150～330 μ m程度と極めて薄くなる。この積層型半導体装置1の高さはボールバンプ電極や印刷による突起電極の大きさ(厚さ)によって変化するものである。

[0046] 積層固定によって製造された積層型半導体装置1では、半導体基板6aの下面に

設けられた突起電極13aが外部電極端子5になる。第1の絶縁層8aを下面とするように第1の半導体装置2を使用する場合には、突起電極10aが外部電極端子5になる。

[0047] つぎに、本実施例1の積層型半導体装置1の製造方法について説明する。図4は積層型半導体装置1の製造方法を示すフローチャートである。このフローチャートは、ステップ11(S11)からステップ21(S21)に至る段階では、下段の第1の半導体装置2、中段の第3の半導体装置4及び上段の第2の半導体装置3の製造段階を別々のフローチャートで示し、S22の段階で下段、中段及び上段の半導体装置を積層固定する内容になっている。

[0048] 下段の第1の半導体装置2は、半導体基板への回路素子形成(S11)、多層配線部形成段階での充填電極及び電極パッド形成(S12)、ポスト電極形成(S13)、第1の絶縁層形成(ポスト電極埋め込み:S14)、第1の絶縁層表面除去(ポスト電極露出:S15)、基板表面除去(貫通電極形成:S16)、基板表面エッチング(貫通電極突出:S17)、第2の絶縁層形成(貫通電極露出:S18)、突起電極形成(貫通電極・ポスト電極:S19)、分割(個片化:S20)、特性検査(S21)の各工程を経て形成される。

[0049] 中段の第3の半導体装置4は、前記下段の第1の半導体装置2の製造段階と同じ段階を経て製造するが、下面になる貫通電極12cが下段の第1の半導体装置2の上面のポスト電極9aと対面するパターンで形成される。

[0050] 上段の第2の半導体装置3は、ポスト電極を形成しないことから、S13の段階が不要になる。また、ポスト電極を設けないことから、S14では第1の絶縁層形成、S15では第1の絶縁層表面除去となり、ポスト電極との係わりは考えなくともよくなる。

[0051] S21の段階で形成された第1・第3・第2の半導体装置2, 4, 3を、積層固定段階(S22)では順次重ね、例えばリフロー炉を通して積層固定して、図1乃至図3に示す積層型半導体装置1を製造する。

[0052] 実施例1の積層型半導体装置1のいずれの半導体装置もシリコン基板を使用した半導体装置である。しかし、GaAsやInP等の化合物半導体を使用した半導体装置とシリコン基板を使用した半導体装置の組み合わせであってもよい。この場合、半導体部分には材料に適した回路素子が形成される。

[0053] つぎに、下段の第1の半導体装置2の製造について説明する。図5は積層型半導体装置1の製造において、IC等を形成した半導体基板(シリコン基板)に充填電極を形成した模式的断面図である。

[0054] 半導体装置の製造においては、一般に、面積が広い半導体ウエハが用意され、その後このウエハの第1の主面に所定の回路素子を含む単位回路が形成される。この単位回路はウエハの第1の主面に縦横に整列配置形成される。その後、各処理を経て、最終的には縦横に切断分離して多数の半導体素子(半導体チップ)を形成する。この単位回路が形成される四角形状の領域(部分)を本明細書では製品形成部と呼称する。製品形成部と製品形成部との間には分割するためのスクライブラインあるいは切断されるダイシング領域が位置している。最終的にはこのダイシング領域で切断される。図5以降では、単一の製品形成部のみを示すことにする。従って、特に支障がない限り、名称の多くは完成品状態の名称で説明することにする。

[0055] 図5に示すように、厚さ数100 μ mの半導体基板6aを用意した後、この半導体基板6aの第1の主面に回路(回路素子)を形成する(S11)。また、半導体基板6aの第1の主面上には多層配線部7aが形成される。この多層配線部7aの形成の段階で半導体基板6aの第1の主面に孔を形成する。その後孔の表面を酸化させ、ついでこの孔内にメッキ膜を充填形成する。このメッキ膜の充填によって充填電極12が形成される。孔は、例えば、数 μ mー30 μ m程度の直径で5ー50 μ m程度の深さである。実施例では、例えば、10 μ m程度の直径で30 μ m程度の深さとする。本実施例では、半導体装置となった時点で、半導体基板6aを薄くして第1の半導体装置2の薄型化を図る。従って、薄型化をさらに進める場合は、前記孔をさらに浅くすることができ、孔加工が容易になる。メッキ膜は、例えば、銅で形成する。充填電極12を形成する方法は他の方法でもよい。例えば、インクジェット方式で導電性粒子を孔内に吹き付けて充填させ、その後熱処理によって硬化させて充填電極12を形成する方法でもよい。また、CVD(気相化学成長法)によって、例えば、タングステン、チタン、ニッケル、アルミニウムあるいはそれらの合金を充填させてもよい。

[0056] 図6は前記充填電極及び多層配線部の下層部分を示す半導体基板の一部の模式的拡大断面図である。半導体基板6aは、第1導電型の基板になっていて、第1の主

面側の表層部分には第2導電型の第1のウェル21及び第1導電型の第2のウェル22が形成されている。第1のウェル21には、例えば、ソース領域23、ドレイン領域24及び絶縁ゲート膜25が形成され、また絶縁ゲート膜25上にゲート電極26が形成されて電界効果トランジスタ(FET)が形成されている。また、第1及び第2のウェル22の表面にもそれぞれ電極27、28が形成されている。半導体基板6aの第1の主面には厚い酸化膜29が選択的に設けられている。

[0057] 図7は前記充填電極及び多層配線部等を示す一部の模式的拡大断面図である。図7に示すように、半導体基板6aの第1の主面には、絶縁層30と配線層(配線)31が所定パターンで交互に積層形成されて多層配線部7aが形成されている。そして、最上層の配線層によって電極パッド32が形成されている。この電極パッド32の一部は露出する。露出する部分にはポスト電極9aが形成されることになる。従って、露出する部分は直径10 μ m程度の孔となっている。なお、図6は多層配線部7aの最下層の絶縁層30と配線層(配線)31を示すものである。

[0058] また、多層配線部7aの形成の段階で、前記充填電極12が半導体基板6aに形成される。実施例では、回路素子を形成し、厚い酸化膜29を形成した段階で、常用のホトリソグラフィ技術とホトエッチングによって、半導体基板6aの第1の主面側に前述の孔33を形成する。その後、酸化処理を行って孔33の表面に絶縁膜34を形成する。さらに銅メッキを行って孔33を銅メッキ膜によって充填して充填電極12を形成する。例えば、充填電極12の直径は10 μ m程度になり、深さは30 μ m程度になる。これにより、充填電極及び電極パッドが形成される(S12)。充填電極12は、半導体基板6aに絶縁膜34を介して接触するため電氣的に絶縁されることになる。

[0059] また、前記充填電極12は、インクジェット方式で導電性液体を吹き付けて孔33を埋めて形成してもよい。この場合、吹き付け後、充填された導電性液体を硬化処理(ベーク)する。また、CVD(気相化学成長法)によって他の金属、例えばタングステン、チタン、ニッケル、アルミニウムあるいはそれらの合金等によるCVD膜を形成するようにしてもよい。

[0060] 前述のように、充填電極12と半導体基板6aとの間には絶縁膜34が介在されるため、充填電極12は半導体基板6aから電氣的に分離(独立)されることになる。

- [0061] なお、半導体基板6aの第1の主面上に順次絶縁層30と配線層(配線)31を所定パターンで交互に積層形成する際、充填電極12を多層配線部7aの所定の配線に電氣的に接続させる。
- [0062] つぎに、図8に示すように、半導体基板6aの第1の主面の所定位置にメッキを施して柱状のポスト電極9aを複数形成する(S13)。このポスト電極9aも前記充填電極12と同様に銅、タングステン、チタン、ニッケル、アルミニウムあるいはそれらの合金等によるCVD膜を形成するようにしてもよい。
- [0063] つぎに、半導体基板6aの第1の主面に第1の絶縁層8aを形成する(S14)。ポスト電極9aは第1の絶縁層8aに覆われる。第1の絶縁層8aは、エポキシ樹脂やポリイミド樹脂等絶縁性の有機樹脂が使用される。第1の絶縁層8aは、例えば、トランスファモールドリング法あるいはスキージ印刷法によって形成する。
- [0064] 図9は前記ポスト電極及び第1の絶縁層を形成した半導体基板の一部の模式的拡大断面図である。電極パッド32の上面にはポスト電極9aが形成され、かつ第1の絶縁層8aでポスト電極9aが覆われている。図9ではポスト電極9aが電極パッド32に比較して大幅に細く形成した図になっている。これは、ワイヤを接続をする電極パッドを有するIC等の製造プロセスをそのまま使用することを想定したものである。IC等においては、導電性のワイヤを接続するために電極パッドは、1辺が80〜100 μ m程度の四角形になっている。そこで、実施例では、この電極パッド32上にポスト電極9aを設けたものである。確立したICプロセスによる電極パッド32をポスト電極9aを形成するための配線部分として使用するのも一手法である。しかし、本発明においてはこれに限定されるものではなく、面積の小さい配線部分にポスト電極9aを形成するようにしてもよい。
- [0065] 図10及び図11は、電極パッド32上に電極パッド32と同程度の直径のポスト電極9aを形成した例(変形例)である。
- [0066] 図10の構造は、多層配線部7aを形成する比較的初期の段階で充填電極12を形成した例である。半導体基板6aの第1の面側に1層目及び2層目の絶縁層30を形成した後、これら2層の絶縁層30及び半導体基板6aに孔33を形成し、ついで孔33にメッキ膜を充填して充填電極12を形成する。

- [0067] 図11の構造は、多層配線部7aを形成する比較的後期の段階で充填電極12を形成した例である。半導体基板6aの第1の面側に1層目乃至4層目の絶縁層30を形成した後、これら4層の絶縁層30及び半導体基板6aに孔33を形成し、ついで孔33にメッキ膜を充填して充填電極12を形成する。
- [0068] 図7、図10及び図11に示すように、孔33の形成は、多層配線部7aの所望形成段階で自由に選択でき、多層配線部7aの所定の配線(配線層31)との電氣的接続が可能である。なお、図9乃至図10においては、図7及び図9で構造を詳細に説明していることから一部の符号は省略する。
- [0069] つぎに、図12に示すように、第1の絶縁層8aの表面を所定厚さ除去する(S15)。例えば、第1の絶縁層8aの表面をポスト電極9aの先端が露出するように研磨する。研磨量が多ければ、ポスト電極9aの厚さが短くなり、第1の絶縁層8aの厚さも薄くなる。本実施例では、後述する半導体基板6aの薄型化の後、第1の絶縁層8aは半導体基板6aを支持する強度部材として使用することから、例えば、第1の絶縁層8aの厚さを50 μ m程度の厚さとする。半導体基板6aのハンドリングにおいて、強度的に支障がない場合には、第1の絶縁層8aはさらに薄くしてもよい。これは第1の半導体装置2の薄型化、積層型半導体装置1の薄型化に繋がる。
- [0070] つぎに、図13に示すように、半導体基板6aの第2の主面を研削し、充填電極12の先端が顔を出すようにし、充填電極12によって貫通電極12aを形成する(S16)。これにより、半導体基板6aは25 μ m程度の厚さになる。半導体基板6aがこのように薄くなっても第1の絶縁層8aが厚く、これによって半導体基板6aはハンドリング時にクラックが入ったり、割れたりする損傷が防止できる。
- [0071] つぎに、図14に示すように、半導体基板6aの第2の主面側を所定厚さエッチングする。エッチングはふっ酸系のエッチング液によるウエットエッチングで行い、貫通電極12aはエッチングしない。これにより、厚さ20 μ m程度の半導体基板6aの表面から貫通電極12aの先端が5 μ m程度突出することになる(S17)。
- [0072] つぎに、図15に示すように、半導体基板6aの第2の主面側のシリコン表面上に第2の絶縁層11aを形成する。この際、貫通電極12aの先端を露出させるように第2の絶縁層11aを形成する(S18)。第2の絶縁層11aの形成は、例えば、スピナー塗布で

もよいし、スキージ印刷、あるいはフィルム状のものを熱処理により貼り付けたり、絶縁性の接着剤で貼り付けたりして形成する。第2の絶縁層11aの厚さは、最低でも電氣的絶縁を図ることができる厚さにする。また、この第2の絶縁層11aの形成においては、Cuである貫通電極12aに対しては疎水性でSiに対しては親水性の絶縁材料を塗布することによっても形成することができる。即ち、第2の絶縁層11aを貫通電極12aの突出高さ程度に設けることにより、貫通電極12aの先端は第2の絶縁層11aから露出する。

[0073] つぎに、図16に示すように、第2の絶縁層11aの表面側に露出するポスト電極9aの先端、及び半導体基板6aの第2の主面側に露出する貫通電極12aの先端にそれぞれ突起電極10a, 13aを形成する(S19)。突起電極10a, 13aは、例えば、半田ボール、金ボール、表面が金メッキされた銅ボール等によるバンプ電極、またはスクリーン印刷と加熱による突起電極である。ポスト電極及び貫通電極に直接突起電極を形成し難いときは、ポスト電極や貫通電極の露出面に接続を良好にするためのメッキ膜を形成しておけばよい。

[0074] つぎに、半導体ウエハを縦横に分割して個片化する(S20)。図では、半導体ウエハの状態ではなく、単一の製品形成部の状態で説明してきた。従って、分割されて形成された第1の半導体装置2も図16に示す断面構造になる。実施例では、バンプ電極の形成後に個片化を行ったが、個片化後にバンプ電極を形成するようにしてもよい。

[0075] 図16は半導体基板6aを上面側にし、第1の絶縁層8aが下面側なるようにしたものであり、図17は半導体基板6aを下面側にし、第1の絶縁層8aが上面側なるようにしたものである。第1の半導体装置2は、積層固定の際、最下段の半導体装置として使用されるが、この際、図16に示すように突起電極10aが外部電極端子として使用される場合、あるいは図17に示すように突起電極13aが外部電極端子として使用されるようになる。

[0076] つぎに、個片チップ、即ち、第1の半導体装置2を形成した後、通常テスト(電気特性検査)を実施する。この際、図18に示すように、トレイ40の上面にマトリクス状に設けた収容窪41にそれぞれチップ(第1の半導体装置2)を収容する。第1の半導

体装置2の上面、裏面はそれぞれ絶縁材料で被覆されているため、プローブ検査によって同時並列的にテストが実施できる。不良とされた製品は排除される。図18では第1の半導体装置2の突起電極13aは模式的に表示してある。このようなトレイ40の使用によって製品をアレイ状に並べることができ、一括テストが可能となるとともに製品のハンドリングがし易くなりテスト効率が向上する。

[0077] なお、一般に半導体装置の製造においては、半導体ウエハの各製品形成部の製品(回路)の電気特性検査を、半導体ウエハの状態で行う。即ち、半導体ウエハの各製品形成部の露出する電極にプローブ針を接触させて電気特性検査を行うが、本実施例においても、分割前に同様のプローブ検査を行って、各製品形成部の製品(回路)の良否を測定検査するようにしてもよい。

以上の方法によって第1の半導体装置2が製造される。

[0078] 第1の半導体装置2の上に積層固定される第3の半導体装置4は、第1の半導体装置2と同様の工程、即ち、図4で示すS11〜S21の各工程によって製造される。この際、第3の半導体装置4も、図16または図17に示すような形態、即ち、突起電極10aが下面に位置するように、または突起電極13aが下面に位置するようにして使用することができる。その選択は自由であるが、第3の半導体装置4の下面の突起電極10aまたは突起電極13aが、第1の半導体装置2の上面の突起電極10aまたは突起電極13aに対面して接続ができるように形成する必要がある。なお、中段となる第3の半導体装置4は接続に関与するバンプ電極が下段側の第1の半導体装置2及び上段側第2の半導体装置3に設けられていることから、敢えてバンプ電極は設けなくともよい。従って、第3の半導体装置4は、図19の中段に示すようにバンプ電極を設けない状態で積層固定するようにしてもよい。さらに中段の第3の半導体装置4の上面または下面の一方に突起電極を設けてもよい。この場合、突起電極を設けた面に対面する半導体装置の面には敢えて突起電極を設けて置かなくともよく、中段の第3の半導体装置4に設けた突起電極が接合体として作用する。

[0079] また、第3の半導体装置4の上面に積層固定する第2の半導体装置3は、前記第1の半導体装置2の製造において、貫通電極12a及びポスト電極9aのどちらかを形成する構造である。即ち、最上段になるため、その上面には外部電極端子は不要であ

る。

[0080] 本実施例1では図4に示すように、第2の半導体装置3では、ポスト電極は形成せず、貫通電極12aを形成する例で説明する。第2の半導体装置3の製造においては、半導体基板への回路素子形成(S11)は同じであるが、(S12)では多層配線部形成段階での充填電極だけを形成する。その後、(S14)に進む。この(S14)では第1の絶縁層8aのみを形成する。また、(S15)ではポスト電極が存在しないことからポスト電極との係わりは考慮する必要がなく、第1の絶縁層8aの厚さを確保するようにする。その後の(S16)、(S17)、(S18)は同じ処理加工となる。(S19)では貫通電極12aの先端にのみ突起電極13bを形成する。そして、(S20)の分割及び(S21)の特性検査を行い、図19の最上段に示す第2の半導体装置3を形成する。

[0081] 図19は、実施例1で形成した3種類の半導体装置(第1の半導体装置2、第3の半導体装置4、第2の半導体装置3)を積層順にそれぞれ離して示した図である。これら三者の半導体装置2、4、3をアライメントを行って接続部分が重なるようにし、炉体を通して接続部分の突起電極を一時的に加熱溶融して接合させる。なお、接続部分の接続は、接続部分を局所的に熱を加えることによって接続してもよい。実施例1では、第1の半導体装置2と第3の半導体装置4との間の接続部分は突起電極10aと貫通電極12cであり、第3の半導体装置4と第2の半導体装置3との接続部分はポスト電極9cと突起電極13bである。これらが接合体を形成する。この積層固定によって、図1乃至図3に示す積層型半導体装置1を製造することができる。最下段の第1の半導体装置2の下面の突起電極13aが外部電極端子5となる(図1参照)。

[0082] 図20は本実施例1の積層型半導体装置の製造方法で製造した積層型半導体装置1の実装状態を示す模式的断面図である。多層配線基板からなるドウターボード45の上面に積層型半導体装置1を搭載したものである。ドウターボード45は、下面に複数のバンプ電極46を有し、上面に特に図示しないがランドが形成されている。積層型半導体装置1の外部電極端子5の配置パターンと前記ランドの配置パターンは一致している。従って、外部電極端子5のリフローによって、積層型半導体装置1をドウターボード45に搭載することができる。

[0083] 本実施例1では積層型半導体装置1の製造技術について説明したが、単一製品と

して考えた場合、第1の半導体装置2及び第3の半導体装置4は、それぞれ単一の製品として出荷することが可能である。本発明によれば、これら半導体装置2、4は半導体装置の上下面からそれぞれ電極となる貫通電極及びポスト電極を突出させることを特徴とする。

[0084] 本実施例1によれば以下の効果を有する。

(1) 第1・第2・第3の半導体装置2、3、4の積層固定によって形成された積層型半導体装置1は、その製造において、各半導体装置2、3、4は、半導体基板6a、6b、6cの第1の主面側に第1の絶縁層8a、8b、8cを形成した後、半導体基板6a、6b、6cの第2の主面を所定厚さ除去するが、前記第1の絶縁層8a、8b、8cが強度部材として作用することから、半導体基板6a、6b、6cを5〜50 μm 程度と薄くすることができる。また、絶縁層8a、8b、8cの厚さも20〜100 μm 程度と薄くできる。従って、積層固定した積層型半導体装置1は、ボールバンプ電極の場合ではその高さ(厚さ)が200〜380 μm 程度となり、印刷による突起電極の場合ではその高さ(厚さ)が150〜330 μm 程度と薄くすることができる。従って、多層積層構造の半導体装置(集積回路装置:三次元集積回路装置)の薄型化を図ることができる。

[0085] (2) 第1及び第3並びに第2の積層型半導体装置において、下段側の半導体装置と上段側の半導体装置の接続は、第1の絶縁層に貫通して設けられる柱状になるポスト電極や半導体基板に貫通して設けられる柱状になる貫通電極を利用して接続されるため、電流経路が短くなり、インダクタンスの低減が達成でき、積層型半導体装置1の電気特性が良好になる。第1の絶縁層や半導体基板に設けられるポスト電極や貫通電極は、その長さ(厚さ)が20〜100 μm あるいは5〜50 μm 程度と短く、ワイヤ接続によるボンディングワイヤの数百 μm 以上の長さに比較して充分短くなる。これにより、積層型半導体装置1の高速動作が可能になる。

[0086] (3) 半導体基板に設ける貫通電極は、回路素子を形成する領域から外れた領域に形成する制約はあるものの配線領域等比較的自由に配置位置を選択することができる。また、多層配線部の所定の配線に接続するポスト電極は、配線の引き回しによって比較的自由に配置位置を決定できる。従って、貫通電極及びポスト電極を設ける位置を選択することによって、2次元方向の集積密度向上を図ることができる。

- [0087] (4) 本実施例1の積層型半導体装置1は、インターポーザを使用することなく下段側の半導体装置と上段側の半導体装置の電氣的接続が可能になる。この結果、組立部品点数の低減を図ることができるとともに、積層型半導体装置の薄型化が図れる。インターポーザの使用は、半導体チップ間または半導体装置間の接続経路(電流経路)を長くしてしまうが、インターポーザを使用しないことで電流経路の短縮が可能になり、電気特性の向上が図れるようになる。
- [0088] (5) 本実施例1の積層型半導体装置1の製造において、第1及び第3並びに第2の半導体装置2, 4, 3は、半導体基板6a, 6c, 6bを使用して製造し、最終段階で絶縁層と共に半導体基板6a, 6c, 6bを切断して第1及び第3並びに第2の半導体装置2, 4, 3を製造する。従って、第1及び第3並びに第2の半導体装置2, 4, 3の積層固定以外の必要なプロセスはウエハレベルで実施されるため、工程を通してハンドリング性がよく無駄な作業が少なくなる。この結果、生産コストの低減を図ることができる。
- [0089] (6) 本実施例1の積層型半導体装置1の製造においては、3個の半導体装置2, 4, 3を積層固定する前の段階では、全てウエハレベルで処理加工を行うことから、プロセスが簡素化され、生産性を高くすることができ、積層型半導体装置1の製造コストの低減を達成することができる。
- [0090] (7) 本実施例1の積層型半導体装置の製造方法によれば、上下に重ね合う半導体装置の接続部分の一致を図るようにするだけで、更なる多層に半導体装置を積層可能になることから、より高集積化される積層型半導体装置1を製造することができる。
- [0091] (8) 本実施例1の積層型半導体装置1は、その構造上、上記(7)のように、上下に重ね合う半導体装置の接続部分の一致を図る制約を除けば、各半導体装置に形成する回路は自由に設計できる。即ち、前記制約を設計ツールの一つとすれば、積層型半導体装置1をあたかも1チップの如く設計できる。現在の設計ツールは1チップLSI(本実施例1の各半導体装置に対応するもの)を前提とした設計ツールしかない。
- [0092] そこで、システム・イン・パッケージの設計に当たって、性能、コスト、テストの容易性等から判断して、各半導体装置にどのような回路を形成するのが適しているかをシミュレートし、そのシミュレート結果に基づいて各半導体装置の割り振りを行えば、電気特性、高速動作性に優れた積層型半導体装置1を小型かつ薄型にかつ安価に製

造することができる。

- [0093] (9) 単一製品である第1の半導体装置2及び第3の半導体装置4は、半導体装置の上下面からそれぞれ電極となる貫通電極及びポスト電極を突出させる構造となっている。そして、この特徴から派生する上記(1)乃至(3)、(5)及び(6)により、またプロセスの簡素化により、単一の半導体装置であっても、薄型化、高速動作化、2次元方向の集積密度向上を図ることができるとともに、その製造においてはウエハ状態での製造によるためコストの低減を図ることができる。

実施例 2

- [0094] 図21は本発明の実施例2である積層型半導体装置の模式的断面図である。本実施例2は、実施例1の積層型半導体装置1において、第1の半導体装置2と第3の半導体装置4との間の隙間、及び第3の半導体装置4と第2の半導体装置3との間の隙間に絶縁性の樹脂を充填させてアンダーフィル層50、51を形成する構成になっている。このアンダーフィル層50、51によって隙間が埋まるため、異物混入等によるショート不良を防止することができる。絶縁性樹脂としては、例えば、ポリイミド樹脂を真空雰囲気中で隙間に充填させ、その後ベーク処理して硬化させる。

実施例 3

- [0095] 図22(a)、(b)は本発明の実施例3である2段積層固定型の積層型半導体装置1の模式的断面図である。図22(a)、(b)は共に半導体基板6a、6bを上にし、第1の絶縁層8a、8bを下にして積層固定したものである。いずれも第1の半導体装置2の下面の突起電極10aが外部電極端子5になる。また、第1の半導体装置2の上面の突起電極13aが接合体になって第2の半導体装置3が積層固定されている。即ち、第1の半導体装置2の上面側の貫通電極12aに取り付けられた突起電極13aが第2の半導体装置3の下面のポスト電極9bに接続される構造になっている。
- [0096] そして、図22(a)では、第2の半導体装置3の上面側には電極は露出しない構造、即ち、半導体基板6bに貫通電極12bが設けられない構造になっている。
- [0097] これに対して、図22(b)では、第2の半導体装置3の上面側の半導体基板6bには貫通電極12bが設けられている。貫通電極12bは、実施例1の場合と同様に貫通電極12bと同程度の直径のものと、図の両端側に示される太い貫通電極12bとを有す

る構造になっている。太い貫通電極12bは、図10で説明したように電極パッドと同じ程度の直径のものであり、例えば、ワイヤを接続できるものである。即ち、ドウターボードのパッドとの間を導電性のワイヤで接続することができる。

[0098] これに対して、実施例1と同様に細い複数の貫通電極12bは、例えば、ドウターボードのグランドに接続される電極板55の一端が接続されるようになっている。本実施例によれば、上段の第2の半導体装置3の上面に貫通電極12bが露出する構造から、ドウターボードを含めての回路設計(実装設計)の余裕度が増大する。

[0099] また、本実施例では、第2の半導体装置3の上面側にチップ抵抗、チップコンデンサ、チップインダクタ等の能動素子(能動部品)を搭載してもよい。そして、各能動素子の電極は貫通電極12bに電氣的に接続される。このような構成にすることによって更に集積度が高くなる。

実施例 4

[0100] 図23及び図24は本発明の実施例4である積層型半導体装置の製造方法に係わる図である。本実施例4では、実施例1の場合と略同様にS11～S22の段階を経て積層型半導体装置1を製造するが、第1の半導体装置2と第3の半導体装置4との接続は、突起電極を用いることなく、超音波振動による金属間接合によるものである。従って、一部でその製造が異なる。

[0101] 図23(a)に示すように、第1の半導体装置2の製造において、半導体基板6aの第1の主面側に設けたポスト電極9aを第1の絶縁層8aで覆った後、第1の絶縁層8aの硬化処理(キュアー)時、樹脂の硬化処理を不十分にする第1次硬化処理を行う。

[0102] つぎに、図23(b)に示すように、第1の絶縁層8aの表面を所定厚さ研磨して除去し、ポスト電極9aを露出させる。

[0103] つぎに、図23(c)に示すように、第1の絶縁層8aが硬化収縮を伴うような第2次硬化処理(キュアー)を行い、第1の絶縁層8aの表面にポスト電極9aの先端を突出させる。例えば、突出長さは10 μ m程度である。この突出長さは、超音波振動による金属間の接合を効果的に行うに必要な長さである。

[0104] つぎに、第1の半導体装置2、第3の半導体装置4、第2の半導体装置3を位置決めして重ねる。図24(a)は積層順序を示すものであり、最下層に第1の半導体装置2が

位置し、その上に第3の半導体装置4が位置し、その上に第2の半導体装置3が離れて位置させた図である。

[0105] そこで、特に図示はしないが、第1の半導体装置2上に第3の半導体装置4を位置決めして載置し、第1の半導体装置2の上面のCuからなるポスト電極9aを第3の半導体装置4の下面のCuからなる貫通電極12cに相対的に超音波振動を加えて擦りつけ、ポスト電極9aと貫通電極12cの擦り付け面を金属間接合（金属接合）によって接続させる。その後、第3の半導体装置4の上に第2の半導体装置3を実施例1と同様な方法によって積層固定し、図24(b)に示すような積層型半導体装置1を製造する。

[0106] この例では、実施例2と同様に第1の半導体装置2と第3の半導体装置4との隙間に絶縁性のアンダーフィル層50を充填し、第3の半導体装置4と第2の半導体装置3との隙間に絶縁性のアンダーフィル層51を充填している。

[0107] 本実施例によれば、第1の半導体装置2と第3の半導体装置4との積層固定において、突起電極を用いないことから、さらに薄型化が図れる特徴がある。

実施例 5

[0108] 図25(a), (b)は本発明の実施例5である積層型半導体装置の製造方法の一部を示す各工程の断面図である。本実施例5は、実施例4と同様に金属接合で積層固定する例である。この例では、第1の半導体装置2の上に金属接合によって第3の半導体装置4を積層固定した後、第3の半導体装置4の上に金属接合によって第3の半導体装置4を積層固定するものである。本実施例では、実施例4と同様に第1の半導体装置2及び第3の半導体装置4の製造時、第1の半導体装置2及び第3の半導体装置4のポスト電極9a, 9cの先端を第1の絶縁層8a, 8cの表面から10 μ m程度突出させる。

[0109] 図25(a)は積層順序を示すものであり、最下層に第1の半導体装置2が位置し、その上に第3の半導体装置4が位置し、その上に第2の半導体装置3が離れて位置させた図である。

[0110] そこで、特に図示はしないが、第1の半導体装置2上に第3の半導体装置4を位置決めして載置し、第1の半導体装置2の上面のCuからなるポスト電極9aを第3の半導体装置4の下面のCuからなる貫通電極12cに相対的に超音波振動を加えて擦りつ

け、ポスト電極9aと貫通電極12cの擦り付け面を金属間接合(金属接合)によって接続させる。

[0111] つぎに、同様に、特に図示はしないが、第3の半導体装置4上に第2の半導体装置3を位置決めして載置し、第3の半導体装置4の上面のCuからなるポスト電極9cを第2の半導体装置3の下面のCuからなる貫通電極12bに相対的に超音波振動を加えて擦りつけ、ポスト電極9cと貫通電極12bの擦り付け面を金属間接合(金属接合)によって接続させる。

[0112] また、この例では、実施例2と同様に第1の半導体装置2と第3の半導体装置4との隙間に絶縁性のアンダーフィル層50を充填し、第3の半導体装置4と第2の半導体装置3との隙間に絶縁性のアンダーフィル層51を充填している。

[0113] 本実施例によれば、第1の半導体装置2と第3の半導体装置4との積層固定、及び第3の半導体装置4と第2の半導体装置3との積層固定において、突起電極を用いないことから、さらに薄型化が図れる特徴がある。

実施例 6

[0114] 図26は本発明の実施例6である積層型半導体装置をドウターボードに実装した状態の模式的断面図である。本実施例6では、積層型半導体装置1の第1の半導体装置2、第2の半導体装置3、第3の半導体装置4は、いずれも半導体基板6a、6b、6cが上面側に位置し、第1の絶縁層8a、8b、8cが下面側に位置する状態で積層固定されている。そして、第1の半導体装置2の突起電極10aをドウターボード45の図示しないランドに接続して搭載している。

実施例 7

[0115] 図27は本発明の実施例7である積層型半導体装置をドウターボードに実装した状態の模式的断面図である。本実施例6では、積層型半導体装置1の第1の半導体装置2と第2の半導体装置3は半導体基板6a、6bが上面側に位置し、第1の絶縁層8a、8bが下面側に位置する状態で積層固定され、第3の半導体装置4は半導体基板6cが下面側に位置し、第1の絶縁層8cが上面側に位置する状態で積層固定された混在型になっている。そして、第1の半導体装置2の突起電極10aをドウターボード45の図示しないランドに接続して搭載している。

実施例 8

[0116] 図28は本発明の実施例8である積層型半導体装置をドウターボードに実装した状態の模式的断面図である。本実施例8では、第1の半導体装置2の上に第1の半導体装置2よりも小さい中段の第3の半導体装置4である半導体装置4A, 4Bを個並列配置固定し、かつこれら半導体装置4A, 4B上にそれぞれ第2の半導体装置3となる半導体装置3A, 3Bを積層固定する構造になっている。即ち、本実施例8は、最も面積の大きい第1の半導体装置2上に多数の中段の第3の半導体装置4を複数並列配置し、さらにこれら第3の半導体装置4上に上段の第2の半導体装置3をそれぞれ積層固定するものである。中段の第3の半導体装置は、下段の第1の半導体装置と上段の第2の半導体装置との間に複数段に亘って積層固定してさらに集積度を向上させるようにしてもよい。

[0117] 本実施例8において、前記第1乃至第3の半導体装置のうち、一つの半導体装置の前記半導体基板はシリコン基板であり、他の一つの半導体装置の前記半導体基板は化合物半導体基板である。そして、それぞれの半導体基板に適した回路素子が形成されている。例えば、第1の半導体装置2の半導体基板6aはシリコン基板であり、半導体装置3Aの半導体基板6cAは化合物半導体(例えば、GaAs基板)である。中段及び上段の半導体装置において、その符号の殆どは省略する。しかし、説明で必要となった場合には、中段の第3の半導体装置4A, 4Bにあつては末尾にAまたはBを付けて示す。また、上段の第2の半導体装置3A, 3Bにあつては末尾にAまたはBを付けて示す。

[0118] なお、実施例8では、積層型半導体装置1に組み込む部品は全て半導体装置としたが、他の電子部品の積層固定であつてもよい。例えば、抵抗、容量等のチップ部品、MEMS (Micro electro Mechanical System)、バイオチップ等を積層固定してもよい。また、半導体基板がシリコン基板であるもの、また半導体基板が化合物半導体基板であるものはさらに多くてもよい。

本実施例8によれば、更なる高集積化が達成される。

実施例 9

[0119] 図29は本発明の実施例9である積層型半導体装置をドウターボードに実装した状

態の模式的断面図である。本実施例9では、実施例8において、第1の半導体装置2とその上の半導体装置4Bとの間に金属板60を挟み、また半導体装置4Bと半導体装置3Bとの間に金属板70を挟んだ例である。回路上、例えば、金属板70はグランド電位になり、金属板60はVcc等の電源電位(基準電位)となるように構成されている。

[0120] 即ち、第1の半導体装置2と半導体装置4Bの間に絶縁用穴61を有する金属板60が介在されている。絶縁用穴61の部分では、金属板60に非接触の状態で第1の半導体装置2の上面の貫通電極12aと、半導体装置4Bの下面のポスト電極9cBが、突起電極13a及び突起電極10cBを介して電氣的に接続されている。

[0121] また、第1の半導体装置2及び半導体装置4Bの金属板60に対面する貫通電極12aと、半導体装置4Bの下面のポスト電極9cBが、突起電極13a及び突起電極10cBを介して電氣的に接続されている。金属板60の介在によって貫通電極12aとポスト電極9cBとの距離が長くなることから、絶縁用穴61の部分での接続に使用される突起電極13a及び突起電極10cBは金属板60に接続される突起電極13a及び突起電極10cBよりも大きくなっている。

[0122] また、半導体装置4Bと半導体装置3Bの間にも絶縁用穴71を有する金属板70が介在されている。絶縁用穴71の部分では、金属板70に非接触の状態で半導体装置4Bの上面の貫通電極12bBと、半導体装置3Bの下面のポスト電極9bBが、突起電極13cB及び突起電極10bBを介して電氣的に接続されている。また、半導体装置4B及び半導体装置3Bの金属板70に対面する貫通電極12cBとポスト電極9bBが、突起電極13cB及び突起電極10bBを介して電氣的に接続されている。金属板70の介在によって貫通電極12cBとポスト電極9bBとの距離が長くなることから、絶縁用穴71の部分での接続に使用される突起電極13cB及び突起電極10bBは金属板70に接続される突起電極13cB及び突起電極10bBよりも大きくなっている。

[0123] また、第1の半導体装置2と半導体装置4Bとの間の隙間はアンダーフィル層80によって塞がれ、半導体装置4Bと半導体装置3Bとの間の隙間はアンダーフィル層81によって塞がれている。

[0124] 本実施例9によれば、グランド電位になる金属板70、Vcc等の電源電位(基準電位)となる金属板60の存在によって、積層型半導体装置1の電源及びグランドが安定し

、この結果、動作が安定し良好な電気特性を得ることができる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。実施例では、ポスト電極をメッキで形成したが、スタッドバンプで形成してもよい。スタッドバンプ法は、金ワイヤを熱圧着法（ボールボンディング法）で電極パッドに接続してネイルヘッドを形成し、その後このネイルヘッドの付け根部分でワイヤを切断して形成する突起電極を幾段も重ねて形成する方式である。

産業上の利用可能性

- [0125] 以上のように、本発明に係る積層型半導体装置は、薄型でかつ高速動作に適した三次元集積回路装置として使用できる。また、本発明に係る積層型半導体装置は、システム・イン・パッケージの設計に当たって、性能、コスト、テストの容易性等の判断をもとにしてシミュレートすることによって、積層型半導体装置における各半導体装置の割り振りを行うことができる。従って、本発明によれば、電気特性及び高速動作性が優れ、かつ小型・薄型でかつ安価となる積層型半導体装置を提供することができる。

請求の範囲

- [1] 下面に外部電極端子を有する第1の半導体装置と、前記第1の半導体装置と電氣的に接続され前記第1の半導体装置上に固定される第2の半導体装置とからなる積層型半導体装置であって、
- 前記第1の半導体装置は、
- 半導体基板と、
- 前記半導体基板の第1の主面側に形成された複数の回路素子及び前記回路素子に接続する配線を含む多層配線部と、
- 前記多層配線部を覆う第1の絶縁層と、
- 前記半導体基板の第1の主面の反対面になる第2の主面を覆う第2の絶縁層と、
- 前記多層配線部のそれぞれ所定の配線上に形成され前記第1の絶縁層の表面に露出する複数のポスト電極と、
- 前記多層配線部の所定深さから前記半導体基板及び前記第2の絶縁層を貫通して設けられ、前記半導体基板に絶縁膜を介して接触し、かつ前記多層配線部のそれぞれ所定の配線に接続される複数の貫通電極と、
- 前記貫通電極に接続される前記外部電極端子を有し、
- 前記第2の半導体装置は、
- 半導体基板と、
- 前記半導体基板の第1の主面側に形成された複数の回路素子及び前記回路素子に接続する配線を含む多層配線部と、
- 前記多層配線部を覆う第1の絶縁層と、
- 前記半導体基板の第1の主面の反対面になる第2の主面を覆う第2の絶縁層と、
- 前記多層配線部のそれぞれ所定の配線上に形成され前記第1の絶縁層の表面に露出するポスト電極、または前記多層配線部の所定深さから前記半導体基板及び前記第2の絶縁層を貫通して設けられ、前記半導体基板に絶縁膜を介して接触し、かつ前記多層配線部のそれぞれ所定の配線に接続される複数の貫通電極とを少なくとも有し、
- 前記第1の半導体装置は前記ポスト電極または前記貫通電極が下面になり、該下面

の前記ポスト電極または前記貫通電極には前記外部電極端子が設けられ、前記第1の半導体装置の上面の前記ポスト電極または前記貫通電極に前記第2の半導体装置の下面の前記貫通電極または前記ポスト電極が接合体を介して電氣的に接続されていることを特徴とする積層型半導体装置。

- [2] 前記第1の半導体装置と前記第2の半導体装置との間に1乃至複数段に亘って積層固定される第3の半導体装置を有し、
前記第3の半導体装置は、
半導体基板と、
前記半導体基板の第1の主面側に形成された複数の回路素子及び前記回路素子に接続する配線を含む多層配線部と、
前記多層配線部を覆う第1の絶縁層と、
前記半導体基板の第1の主面の反対面になる第2の主面を覆う第2の絶縁層と、
前記多層配線部のそれぞれ所定の配線上に形成され前記第1の絶縁層の表面に露出する複数のポスト電極と、
前記多層配線部の所定深さから前記半導体基板及び前記第2の絶縁層を貫通して設けられ、前記半導体基板に絶縁膜を介して接触し、かつ前記多層配線部のそれぞれ所定の配線に接続される複数の貫通電極とを有し、
前記第3の半導体装置の上下面のポスト電極または貫通電極は、上段側の半導体装置及び下段側の半導体装置のポスト電極または貫通電極に接合体を介して電氣的に接続されていることを特徴とする請求項1に記載の積層型半導体装置。
- [3] 前記各段の半導体装置は単体となり、各半導体装置は同一寸法になって一致して重なりあっていることを特徴とする請求項1に記載の積層型半導体装置。
- [4] 前記第1の半導体装置上に前記第1の半導体装置よりも小さい第2の半導体装置が複数個並列配置固定されていることを特徴とする請求項1に記載の積層型半導体装置。
- [5] 前記第1の半導体装置の上面の各貫通電極または各ポスト電極は、前記第2の半導体装置の下面の各貫通電極または各ポスト電極に対応し、前記接合体を介してそれぞれ電氣的に接続されていることを特徴とする請求項1に記載の積層型半導体装置

- 。
- [6] 前記第1の半導体装置の上面の各貫通電極または各ポスト電極と、前記第2の半導体装置の下面の各貫通電極または各ポスト電極との接合は前記接合体は使用されず、
前記一方の半導体装置の前記接合に関与する前記ポスト電極または前記貫通電極が突出し、この突出部分が金属接合によって対面する半導体装置の前記ポスト電極または前記貫通電極に接続されていることを特徴とする請求項1に記載の積層型半導体装置。
- [7] 前記ポスト電極はメッキ膜またはスタッドバンプ電極もしくはCVD膜で形成されていることを特徴とする請求項1に記載の積層型半導体装置。
- [8] 前記第1の半導体装置と前記第2の半導体装置の間に絶縁用穴を有する金属板が介在され、前記絶縁用穴部分では、前記金属板に非接触の状態で前記第1の半導体装置の上面の前記貫通電極または前記ポスト電極と、前記第2の半導体装置の下面の前記貫通電極または前記ポスト電極が前記接合体を介して電氣的に接続され、前記第1の半導体装置及び前記第2の半導体装置の前記金属板に対面する前記貫通電極及び前記ポスト電極が前記金属板に前記接合体を介して電氣的に接続されていることを特徴とする請求項1に記載の積層型半導体装置。
- [9] 前記金属板に前記半導体装置の電源電位またはグランド電位になる前記貫通電極または前記ポスト電極が接続されていることを特徴とする請求項8に記載の積層型半導体装置。
- [10] 前記第1及び第2の半導体装置のうち、一つの半導体装置の前記半導体基板はシリコン基板であり、他の一つの半導体装置の前記半導体基板は化合物半導体基板であることを特徴とする請求項1に記載の積層型半導体装置。
- [11] 前記貫通電極及び前記ポスト電極は銅、タングステン、チタン、ニッケル、アルミニウムあるいはそれらの合金で形成されていることを特徴とする請求項1に記載の積層型半導体装置。
- [12] 前記第1の半導体装置と前記第2の半導体装置との間の隙間には絶縁性樹脂が充填されていることを特徴とする請求項1に記載の積層型半導体装置。

- [13] 前記第2の半導体装置は、前記第1の半導体装置と同様に前記第1の絶縁層の表面に露出する複数のポスト電極と、前記第2の絶縁層の表面に露出する複数の貫通電極を有し、上面に位置する所定の前記ポスト電極または前記貫通電極の露出端には突起電極が形成されていることを特徴とする請求項1に記載の積層型半導体装置。
- [14] 前記ポスト電極は、前記貫通電極よりも直径が大きいことを特徴とする請求項1に記載の積層型半導体装置。
- [15] 前記回路素子は能動素子及び受動素子であることを特徴とする請求項1に記載の積層型半導体装置。
- [16] 前記各半導体装置の前記半導体基板は5〜50 μ m程度の厚さであり、前記第1の絶縁層の厚さは20〜100 μ m程度の厚さであることを特徴とする請求項1に記載の積層型半導体装置。
- [17] 半導体基板と、
前記半導体基板の第1の主面側に形成された複数の回路素子及び前記回路素子に接続する配線を含む多層配線部と、
前記多層配線部を覆う第1の絶縁層と、
前記半導体基板の第1の主面の反対面になる第2の主面を覆う第2の絶縁層と、
前記多層配線部のそれぞれ所定の配線上に形成され前記第1の絶縁層の表面に露出する複数のポスト電極と、
前記多層配線部の所定深さから前記半導体基板及び前記第2の絶縁層を貫通して設けられ、前記半導体基板に絶縁膜を介して接触し、かつ前記多層配線部のそれぞれ所定の配線に接続される複数の貫通電極とを有することを特徴とする半導体装置。
- [18] 所定の前記ポスト電極及び前記貫通電極の露出端には突起電極が形成されていることを特徴とする請求項17に記載の半導体装置。
- [19] 前記ポスト電極は前記貫通電極の直径よりも大きいことを特徴とする請求項17に記載の半導体装置。
- [20] 前記ポスト電極はメッキ膜またはスタッドバンプ電極もしくはCVD膜で形成されていることを特徴とする請求項17に記載の半導体装置。

- [21] 前記貫通電極及び前記ポスト電極は銅、タングステン、チタン、ニッケル、アルミニウムあるいはそれらの合金で形成されていることを特徴とする請求項17に記載の半導体装置。
- [22] 前記回路素子は能動素子及び受動素子であることを特徴とする請求項17に記載の半導体装置。
- [23] 前記各半導体装置の前記半導体基板は5〜50 μ m程度の厚さであり、前記第1の絶縁層の厚さは20〜100 μ m程度の厚さであることを特徴とする請求項17に記載の半導体装置。
- [24] 下面に外部電極端子を有する第1の半導体装置と、前記第1の半導体装置上に積層固定される第2の半導体装置を有し、前記両半導体装置が電氣的に接続される積層型半導体装置の製造方法であって、
- (a) 半導体基板の第1の主面に所定回路素子を含む製品形成部を複数整列配置形成する工程と、
 - (b) 前記各製品形成部に前記回路素子に電氣的に繋がる配線及び絶縁層を順次所定パターンに積層形成して多層配線部を形成する工程と、
 - (c) 前記多層配線部を形成する段階において、前記多層配線部の所定深さから前記半導体基板の前記第1の主面の反対面になる第2の主面に向かい、かつ表面に絶縁膜を有する孔を複数形成するとともに、この孔に導体を充填して前記多層配線部の所定の配線に電氣的に接続される充填電極を形成する工程と、
 - (d) 前記多層配線部のそれぞれ所定の配線上にポスト電極を形成する工程と、
 - (e) 前記半導体基板の第1の主面に前記ポスト電極を覆う第1の絶縁層を形成する工程と、
 - (f) 前記第1の絶縁層の表面を所定厚さ除去して前記ポスト電極を露出させる工程と、
 - (g) 前記半導体基板の第2の主面をその表面から所定厚さ除去して前記充填電極を露出させて貫通電極を形成する工程と、
 - (h) 前記半導体基板の第2の主面を所定厚さエッチング除去して前記貫通電極を所定の長さ突出させる工程と、
 - (i) 前記貫通電極の先端を露出させる状態で前記半導体基板の第2の主面に所定

の厚さの第2の絶縁層を形成する工程と、

(j) 前記半導体基板を前記第1及び第2の絶縁層を含めて縦横に切断して前記各製品形成部を分割する工程と、

(k) 前記工程 (i) の後、または前記工程 (j) の後に、前記貫通電極及び前記ポスト電極のうちの所定の露出端に突起電極を形成する工程とを有し、

前記工程 (a) 乃至工程 (k) によって前記第1の半導体装置を形成し、

前記工程 (a) 乃至工程 (k) における工程の選択によって、前記貫通電極または前記ポスト電極を少なくとも有する前記第2の半導体装置を形成し、

つぎに、前記第1の半導体装置を前記貫通電極または前記ポスト電極が下面になるようにして前記外部電極端子とした後、前記第2の半導体装置の下面の前記貫通電極または前記ポスト電極と、前記第1の半導体装置の上面の前記貫通電極または前記ポスト電極を前記突起電極の一時的熔融処理によって電氣的に接続して積層型半導体装置を製造することを特徴とする積層型半導体装置の製造方法。

[25] 前記貫通電極のみを有する前記第2の半導体装置は、

前記半導体基板の第1の主面に所定回路素子を含む製品形成部を複数整列配置形成する工程と、

前記各製品形成部に前記回路素子に電氣的に繋がる配線及び絶縁層を順次所定パターンに積層形成して多層配線部を形成する工程と、

前記多層配線部を形成する段階において、前記多層配線部の所定深さから前記半導体基板の前記第1の主面の反対面になる第2の主面に向かい、かつ表面に絶縁膜を有する孔を複数形成するとともに、この孔に導体を充填して前記多層配線部の所定の配線に電氣的に接続される充填電極を形成する工程と、

前記半導体基板の第1の主面に第1の絶縁層を形成する工程と、

前記半導体基板の第2の主面をその表面から所定厚さ除去して前記充填電極を露出させて貫通電極を形成する工程と、

前記半導体基板の第2の主面を所定厚さエッチング除去して前記貫通電極を所定の長さ突出させる工程と、

前記貫通電極の先端を露出させる状態で前記半導体基板の第2の主面に所定の厚

さに第2の絶縁層を形成する工程と、

前記貫通電極の露出部分に突起電極を形成する工程と、

前記半導体基板を前記第1及び第2の絶縁層を含めて縦横に切断して前記各製品形成部を分割する工程とによって形成することを特徴とする請求項24に記載の積層型半導体装置の製造方法。

- [26] 前記ポスト電極のみを有する前記第2の半導体装置は、
半導体基板の第1の主面に所定回路素子を含む製品形成部を複数整列配置形成する工程と、
前記各製品形成部に前記回路素子に電氣的に繋がる配線及び絶縁層を順次所定パターンに積層形成して多層配線部を形成する工程と、
前記多層配線部のそれぞれ所定の配線上にポスト電極を形成する工程と、
前記半導体基板の第1の主面に前記ポスト電極を覆う第1の絶縁層を形成する工程と、
前記第1の絶縁層の表面を所定厚さ除去して前記ポスト電極を露出させる工程と、
前記半導体基板の第2の主面をその表面から所定厚さ除去して前記半導体基板を薄くする工程と、
前記半導体基板の第2の主面に所定の厚さの第2の絶縁層を形成する工程と、
前記ポスト電極の露出部分に突起電極を形成する工程と、
前記半導体基板を前記第1及び第2の絶縁層を含めて縦横に切断して前記各製品形成部を分割する工程とによって形成することを特徴とする請求項24に記載の積層型半導体装置の製造方法。
- [27] 前記工程(a)乃至工程(k)によって前記第1の半導体装置と前記第2の半導体装置との間に積層固定される1乃至複数の第3の半導体装置を積層固定する工程を有し、
前記第3の半導体装置の一面に設けられる充填電極は対面する半導体装置の充填電極またはポスト電極に対応するように形成し、
前記第3の半導体装置の他面に設けられるポスト電極は対面する半導体装置の充填電極またはポスト電極に対応するように形成することを特徴とする請求項24に記載

の積層型半導体装置の製造方法。

- [28] 前記第1の半導体装置上に前記第1の半導体装置よりも小さい第2の半導体装置を複数個並列配置固定することを特徴とする請求項24に記載の積層型半導体装置の製造方法。
- [29] 前記第1の半導体装置の上面の各充填電極または各ポスト電極が、前記第2の半導体装置の下面の各充填電極または各ポスト電極に対応するように形成することを特徴とする請求項24に記載の積層型半導体装置の製造方法。
- [30] 前記工程(e)において、前記第1の絶縁層を形成する際、樹脂の硬化処理を不十分な第1次硬化処理とし、
前記工程(f)において、前記第1の絶縁層の表面に前記ポスト電極を露出させた後、前記第1の絶縁層の硬化収縮を伴う第2次硬化処理を行い、前記第1の絶縁層の表面に前記ポスト電極の先端を突出させ、
前記第1の半導体装置上に前記第2の半導体装置を積層固定する際、前記ポスト電極の突出部分に超音波振動を加え、対面する前記充填電極または前記ポスト電極に金属接合によって接続させることを特徴とする請求項24に記載の積層型半導体装置の製造方法。
- [31] 前記ポスト電極をメッキ膜またはスタッドバンプ電極もしくはCVD膜で形成することを特徴とする請求項24に記載の積層型半導体装置の製造方法。
- [32] 前記第1の半導体装置と前記第2の半導体装置の間に絶縁用穴を有する金属板を介在させ、
前記絶縁用穴部分では、前記金属板に非接触の状態で前記第1の半導体装置の上面の前記充填電極または前記ポスト電極と、前記第2の半導体装置の下面の前記充填電極または前記ポスト電極を前記突起電極の一時的溶融処理によって電氣的に接続し、前記第1の半導体装置及び前記第2の半導体装置の前記金属板に対面する前記貫通電極及び前記ポスト電極を前記突起電極の一時的溶融処理によって前記金属板に電氣的に接続することを特徴とする請求項24に記載の積層型半導体装置の製造方法。
- [33] 前記金属板に前記半導体装置の電源電位またはグランド電位になる前記充填電極

または前記ポスト電極を接続することを特徴とする請求項32に記載の積層型半導体装置の製造方法。

- [34] 前記第1の半導体装置と前記第2の半導体装置との間の隙間に絶縁性樹脂を充填しかつ硬化させることを特徴とする請求項24に記載の積層型半導体装置の製造方法。
- [35] 前記第1及び第2の半導体装置のうち、一つの半導体装置は前記半導体基板としてシリコン基板を使用して前記回路素子を形成し、他の一つの半導体装置は前記半導体基板として化合物半導体基板を使用して前記回路素子を形成することを特徴とする請求項24に記載の積層型半導体装置の製造方法。
- [36] 前記第2の半導体装置の製造においては、前記第1の半導体装置と同様に前記第1の絶縁層の表面に露出する複数のポスト電極と、前記第2の絶縁層の表面に露出する複数の貫通電極を形成し、上面となる前記ポスト電極または前記貫通電極の所定の露出端に突起電極を設けることを特徴とする請求項24に記載の積層型半導体装置の製造方法。
- [37] 前記ポスト電極を前記貫通電極よりも直径が大きくなるように形成することを特徴とする請求項24に記載の積層型半導体装置の製造方法。
- [38] 前記回路素子として、能動素子及び受動素子を形成することを特徴とする請求項24に記載の積層型半導体装置の製造方法。
- [39] 前記工程(e)において、20ー100 μ m程度の厚さに前記第1の絶縁層を形成し、前記工程(c)において、5ー50 μ m程度の深さの前記孔を形成し、前記工程(f)において、20ー100 μ m程度の厚さの前記ポスト電極を形成し、前記工程(g)において、5ー50 μ m程度の厚さの貫通電極を形成することを特徴とする請求項24に記載の積層型半導体装置の製造方法。
- [40] (a) 半導体基板の第1の主面に所定回路素子を含む製品形成部を複数整列配置形成する工程と、
(b) 前記各製品形成部に前記回路素子に電氣的に繋がる配線及び絶縁層を順次所定パターンに積層形成して多層配線部を形成する工程と、
(c) 前記多層配線部を形成する段階において、前記多層配線部の所定深さから前

記半導体基板の前記第1の主面の反対面になる第2の主面に向かい、かつ表面に絶縁膜を有する孔を複数形成するとともに、この孔に導体を充填して前記多層配線部の所定の配線に電氣的に接続される充填電極を形成する工程と、

(d) 前記多層配線部のそれぞれ所定の配線上にポスト電極を形成する工程と、

(e) 前記半導体基板の第1の主面に前記ポスト電極を覆う第1の絶縁層を形成する工程と、

(f) 前記第1の絶縁層の表面を所定厚さ除去して前記ポスト電極を露出させる工程と、

(g) 前記半導体基板の第2の主面をその表面から所定厚さ除去して前記充填電極を露出させて貫通電極を形成する工程と、

(h) 前記半導体基板の第2の主面を所定厚さエッチング除去して前記貫通電極を所定の長さ突出させる工程と、

(i) 前記半導体基板の第2の主面に所定の厚さの第2の絶縁層を形成して前記貫通電極の先端を露出させる工程と、

(j) 前記半導体基板を前記第1及び第2の絶縁層を含めて縦横に切断して前記各製品形成部を分割する工程とを有することを特徴とする半導体装置の製造方法。

[41] 前記工程(e)において、前記第1の絶縁層を形成する際、樹脂の硬化処理を不十分な第1次硬化処理とし、

前記工程(f)において、前記第1の絶縁層の表面に前記ポスト電極を露出させた後、前記第1の絶縁層の硬化収縮を伴う第2次硬化処理を行い、前記第1の絶縁層の表面に前記ポスト電極の先端を突出させることを特徴とする請求項40に記載の半導体装置の製造方法。

[42] 前記工程(i)の後、または前記工程(j)の後、前記貫通電極及び前記ポスト電極の所定の露出部分に突起電極を形成することを特徴とする請求項40に記載の半導体装置の製造方法。

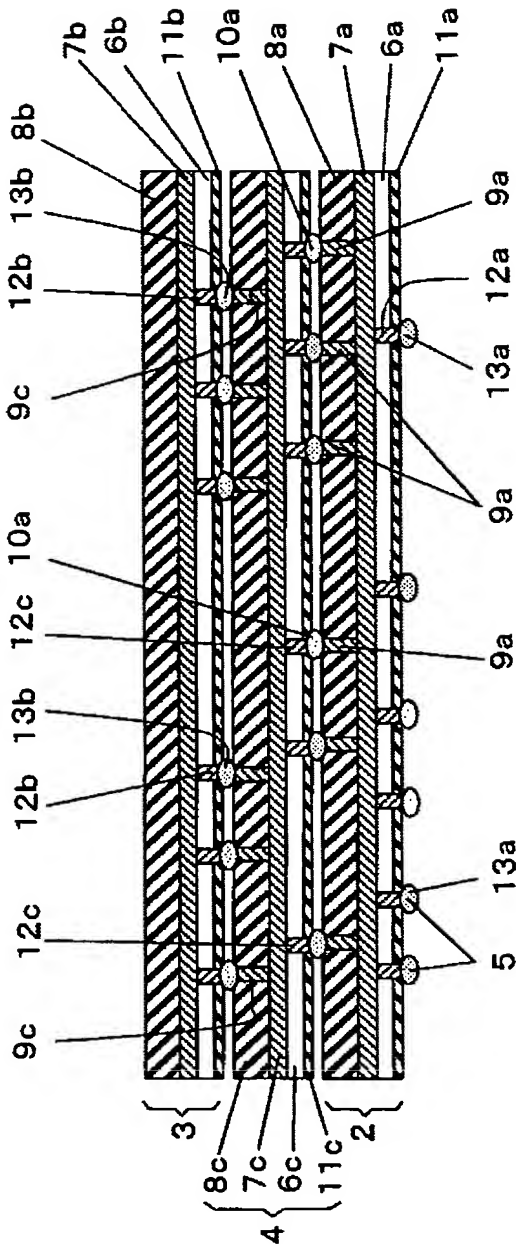
[43] 前記ポスト電極を前記貫通電極よりも直径が大きくなるように形成することを特徴とする請求項40に記載の半導体装置の製造方法。

[44] 前記ポスト電極をメッキ膜またはスタッドバンプ電極もしくはCVD膜で形成することを特徴とする請求項40に記載の半導体装置の製造方法。

- [45] 前記回路素子は能動素子及び受動素子であることを特徴とする請求項40に記載の半導体装置の製造方法。
- [46] 前記工程(e)において、20～100 μ m程度の厚さに前記第1の絶縁層を形成し、
前記工程(c)において、5～50 μ m程度の深さの前記孔を形成し、
前記工程(f)において、20～100 μ m程度の厚さの前記ポスト電極を形成し、
前記工程(g)において、5～50 μ m程度の厚さの貫通電極を形成することを特徴とする請求項40に記載の半導体装置の製造方法。

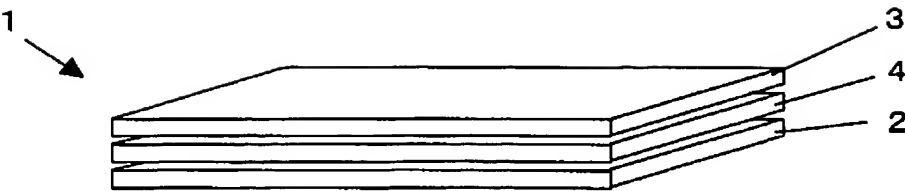
[図1]

FIG. 1



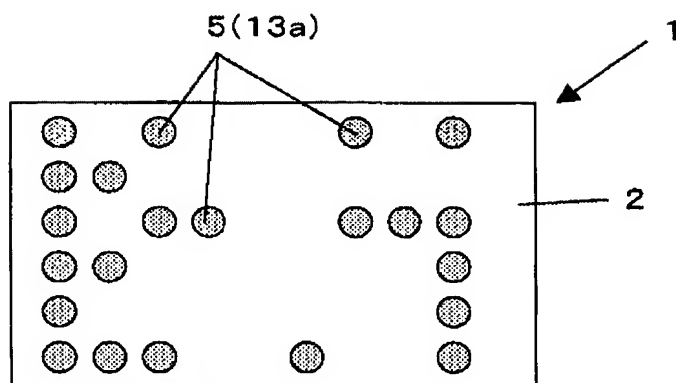
[図2]

FIG. 2



[図3]

FIG. 3



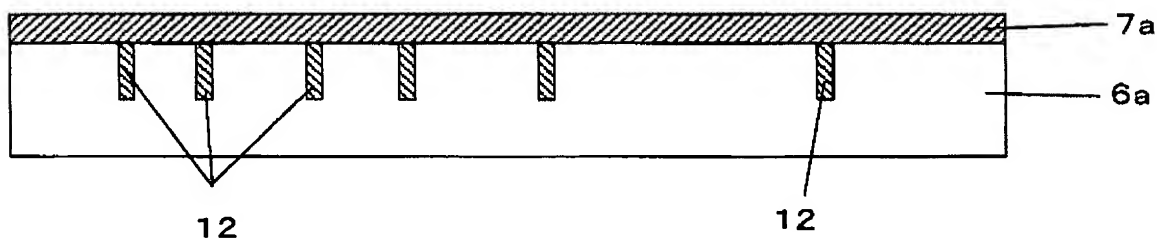
[図4]

FIG. 4



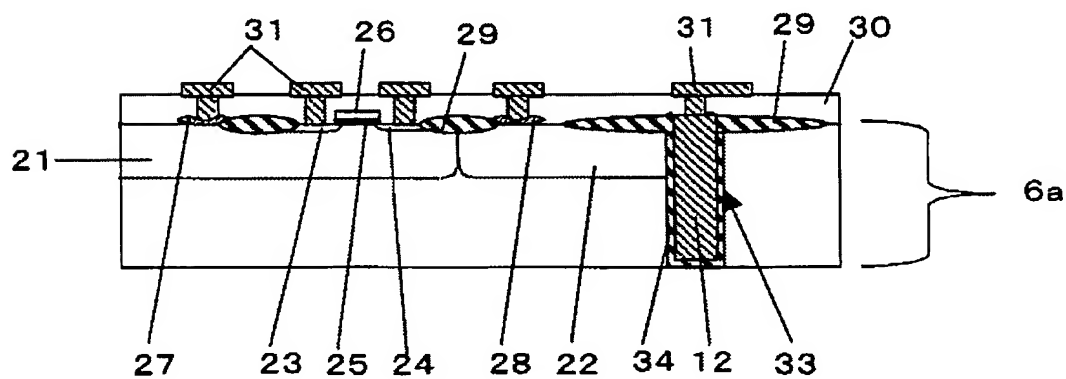
[図5]

FIG. 5



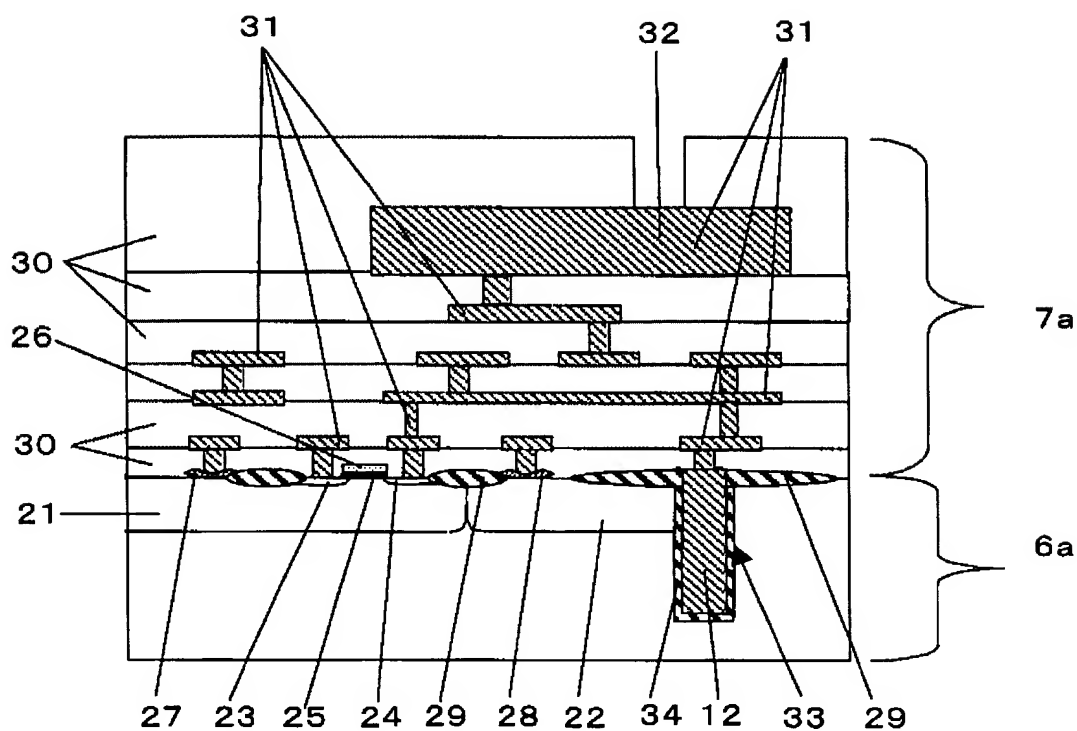
[図6]

FIG. 6



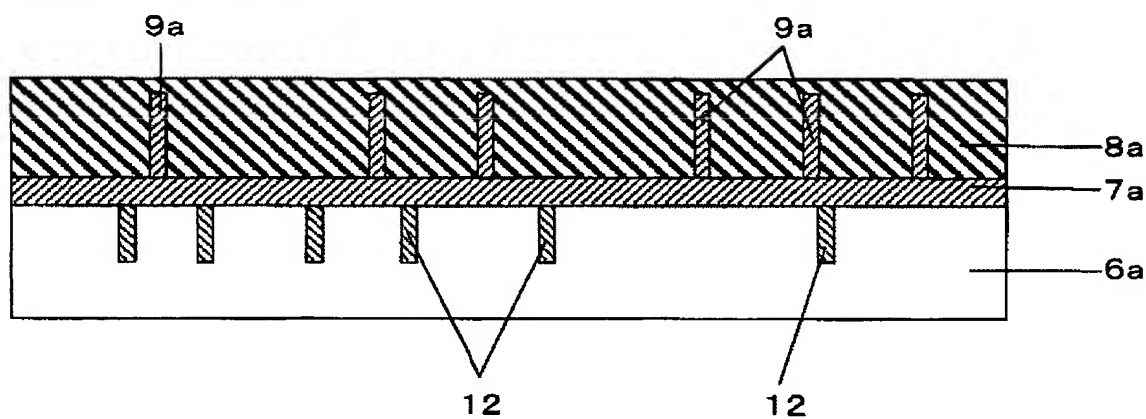
[図7]

FIG. 7



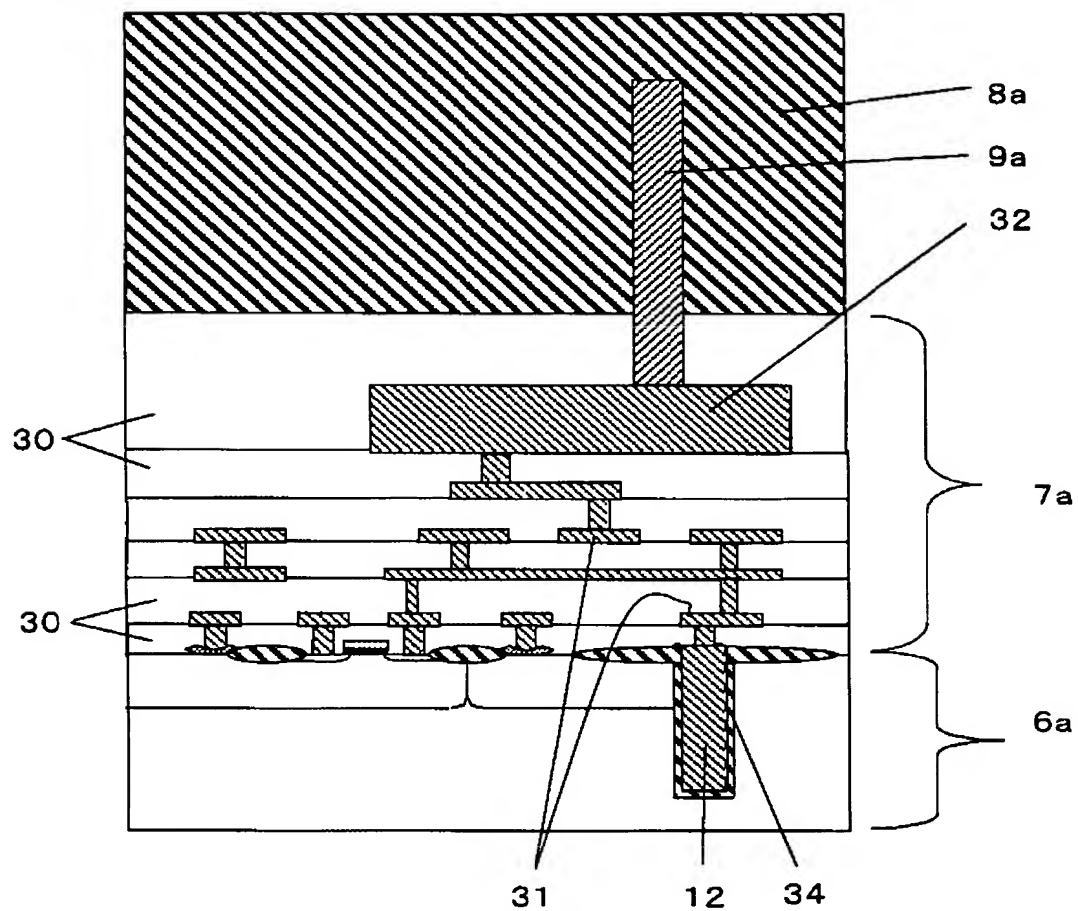
[図8]

FIG. 8



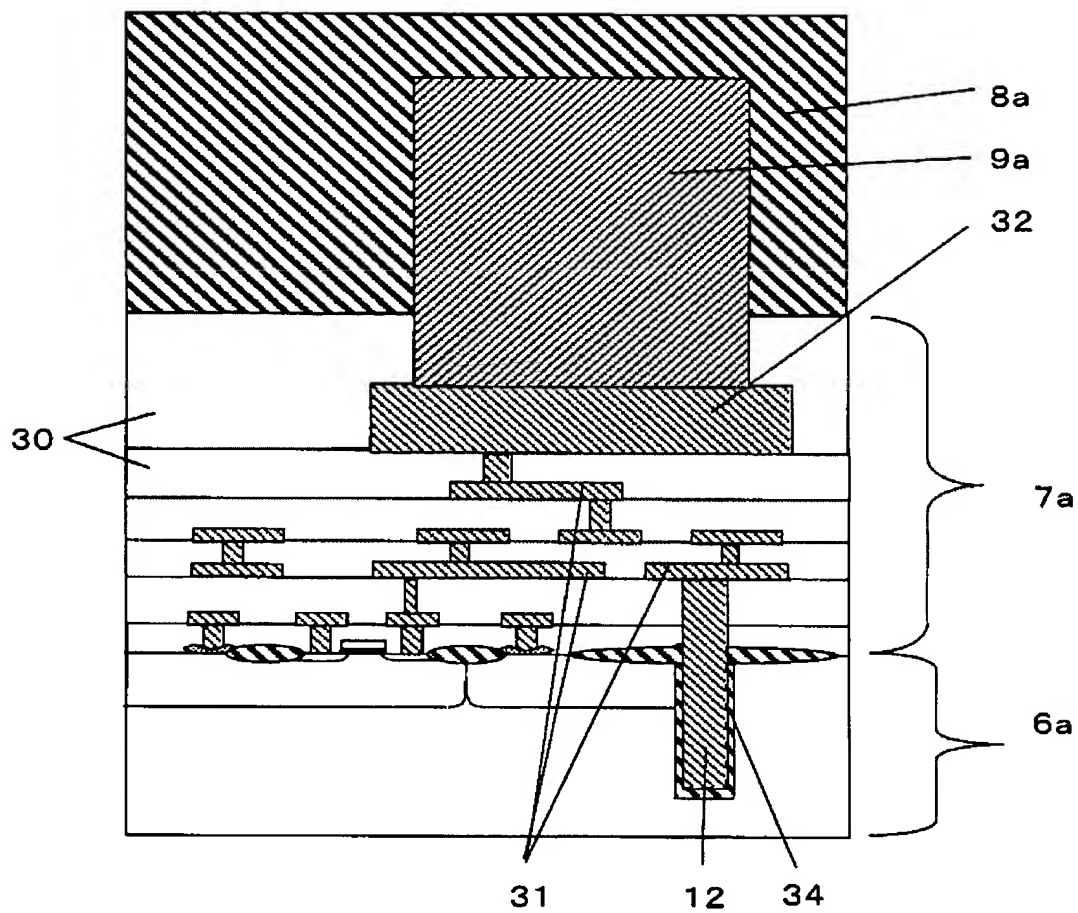
[図9]

FIG. 9



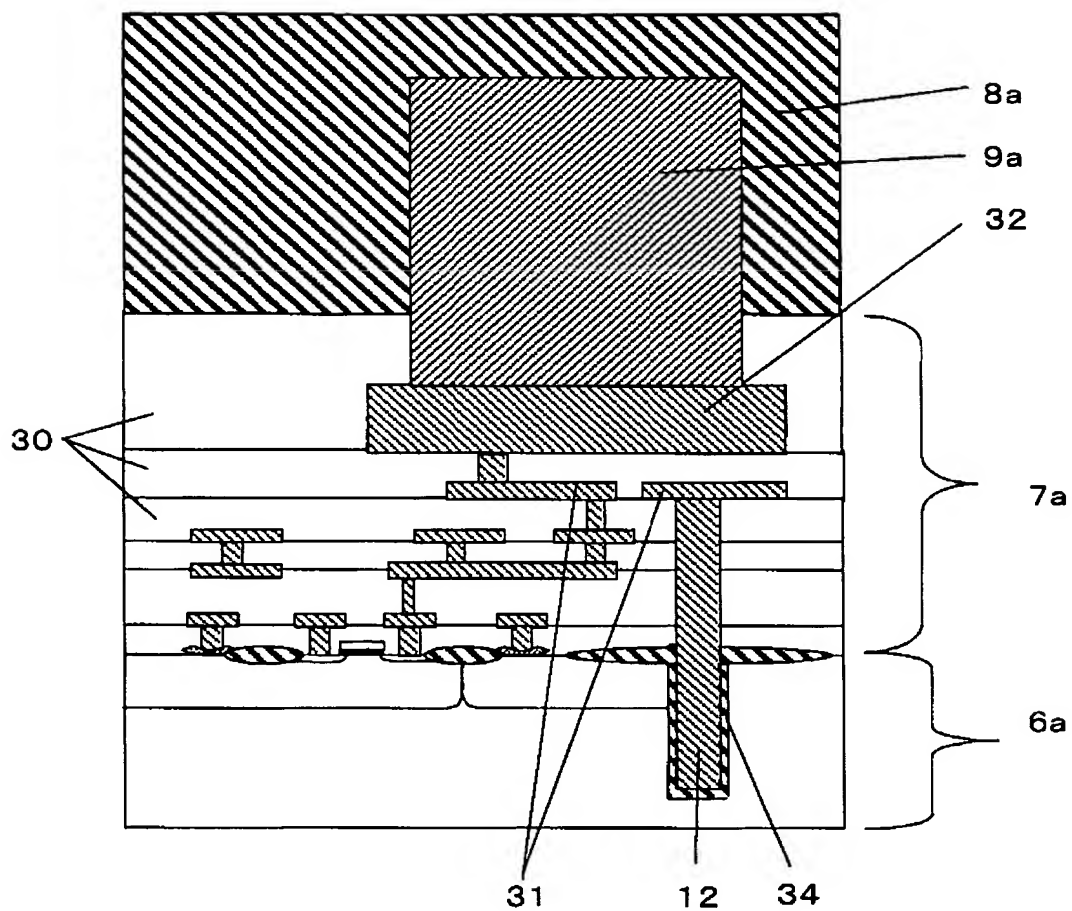
[図10]

FIG. 10



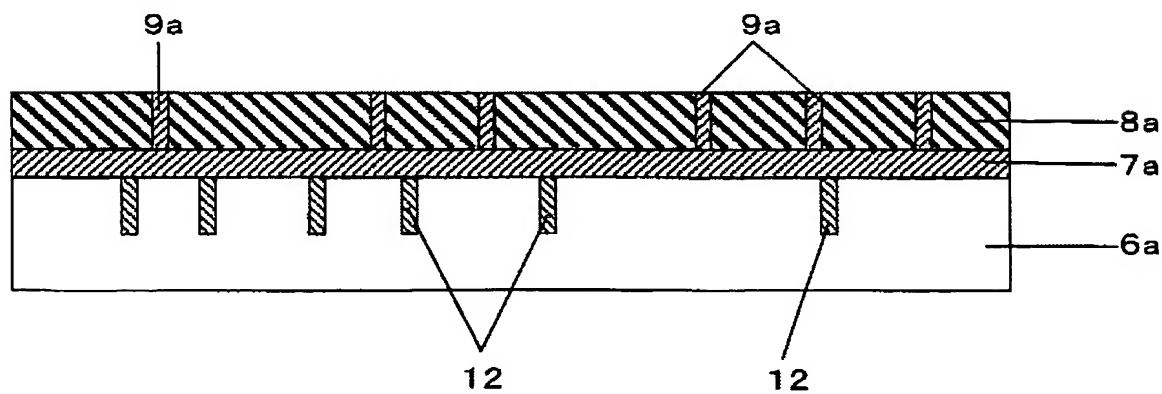
[図11]

FIG. 11



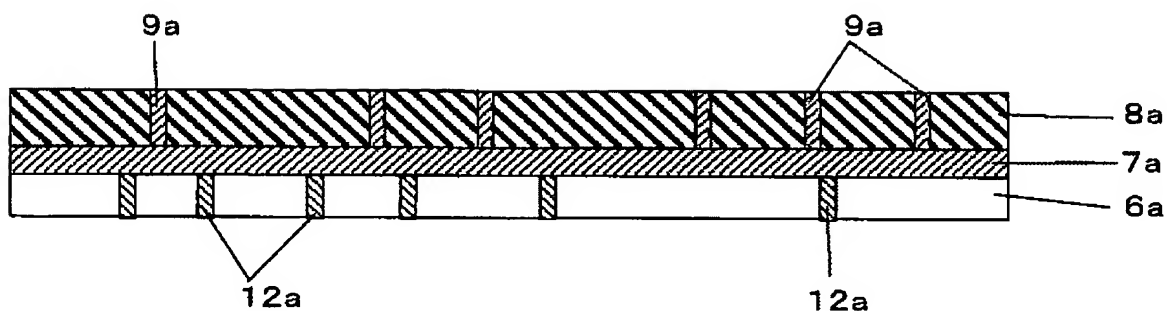
[図12]

FIG. 12



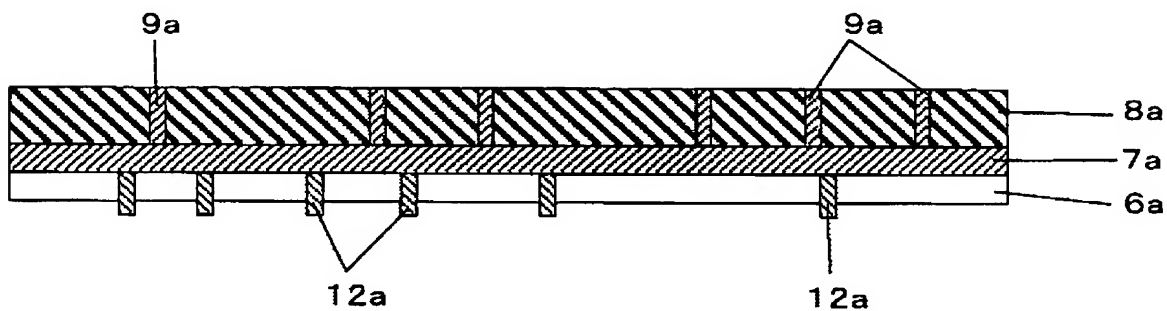
[FIG. 13]

FIG. 13



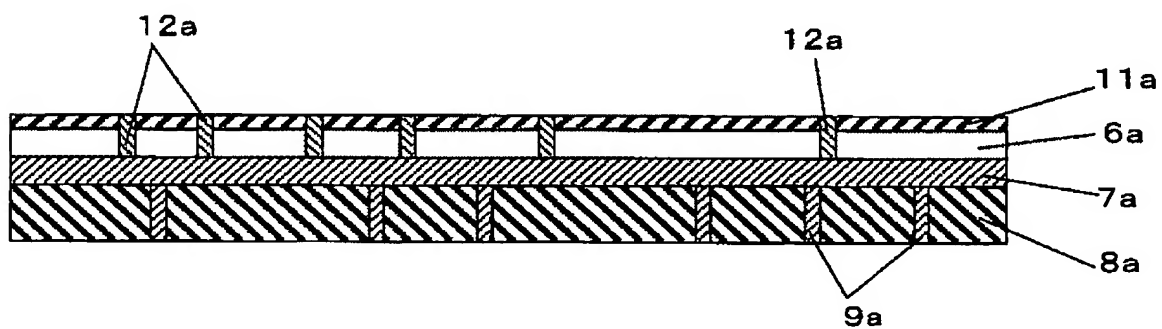
[FIG. 14]

FIG. 14



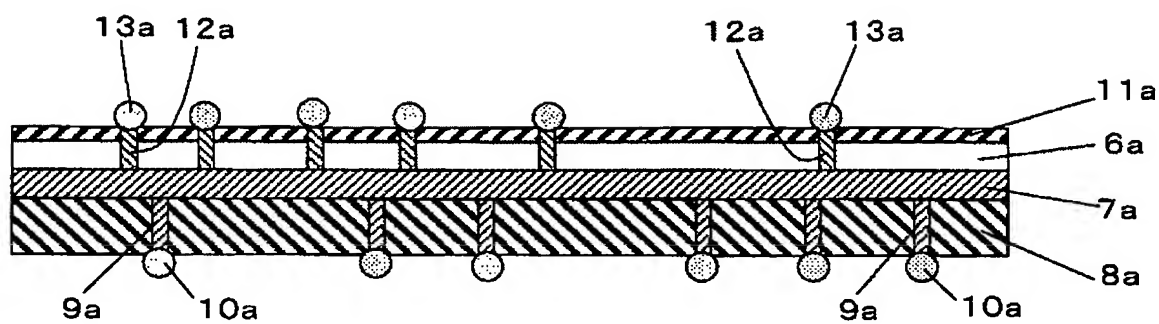
[FIG. 15]

FIG. 15



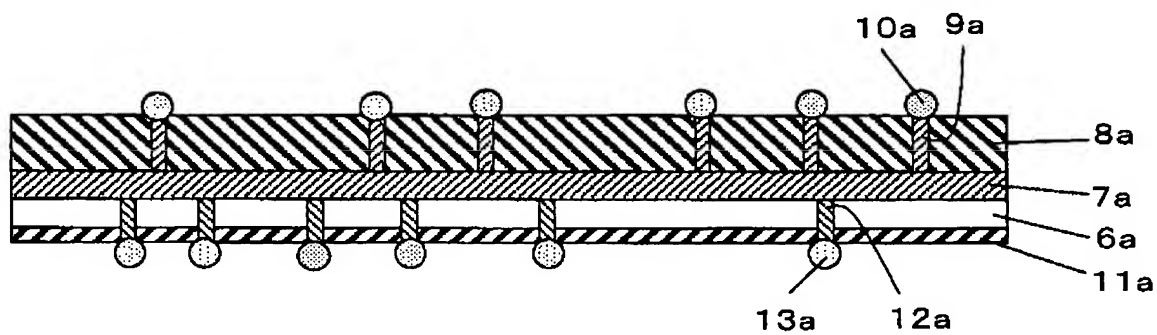
[図16]

FIG. 16



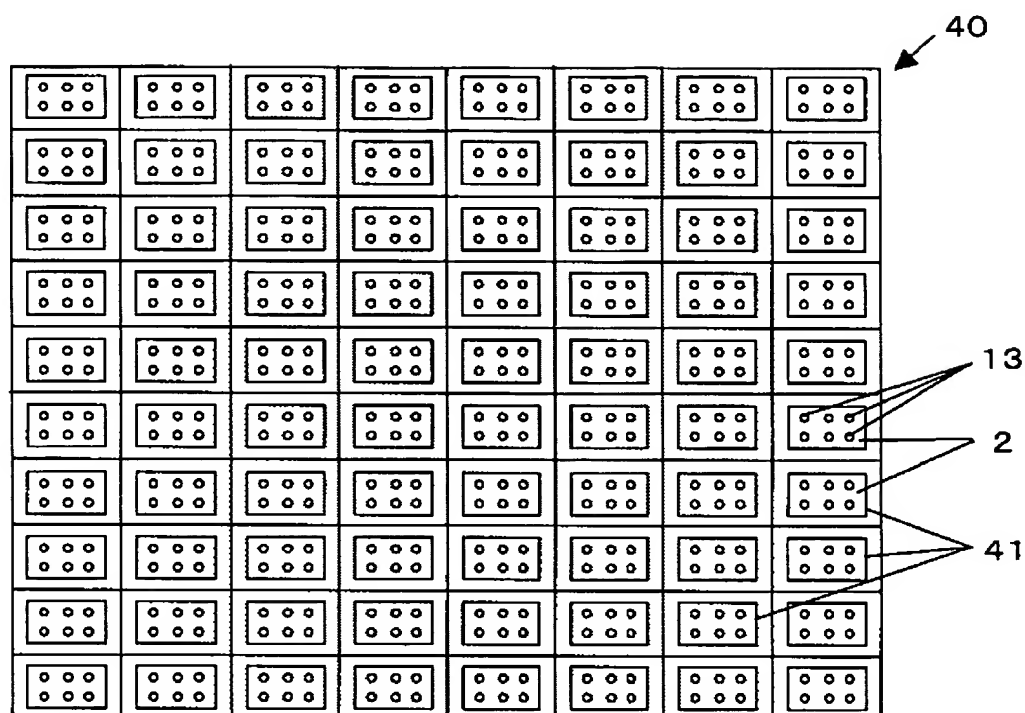
[図17]

FIG. 17



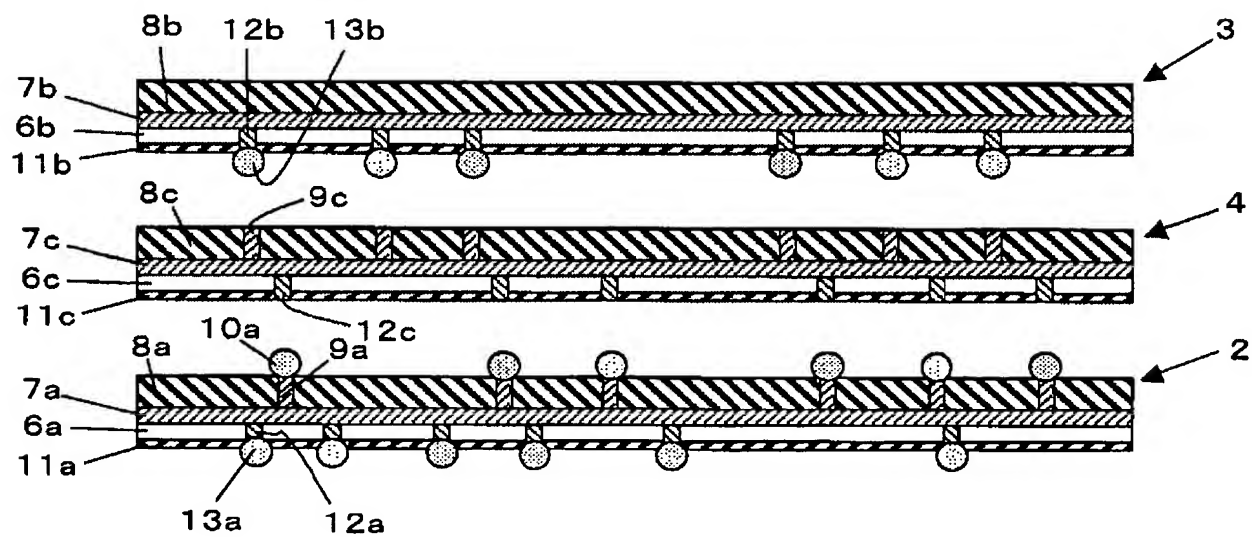
[図18]

FIG. 18



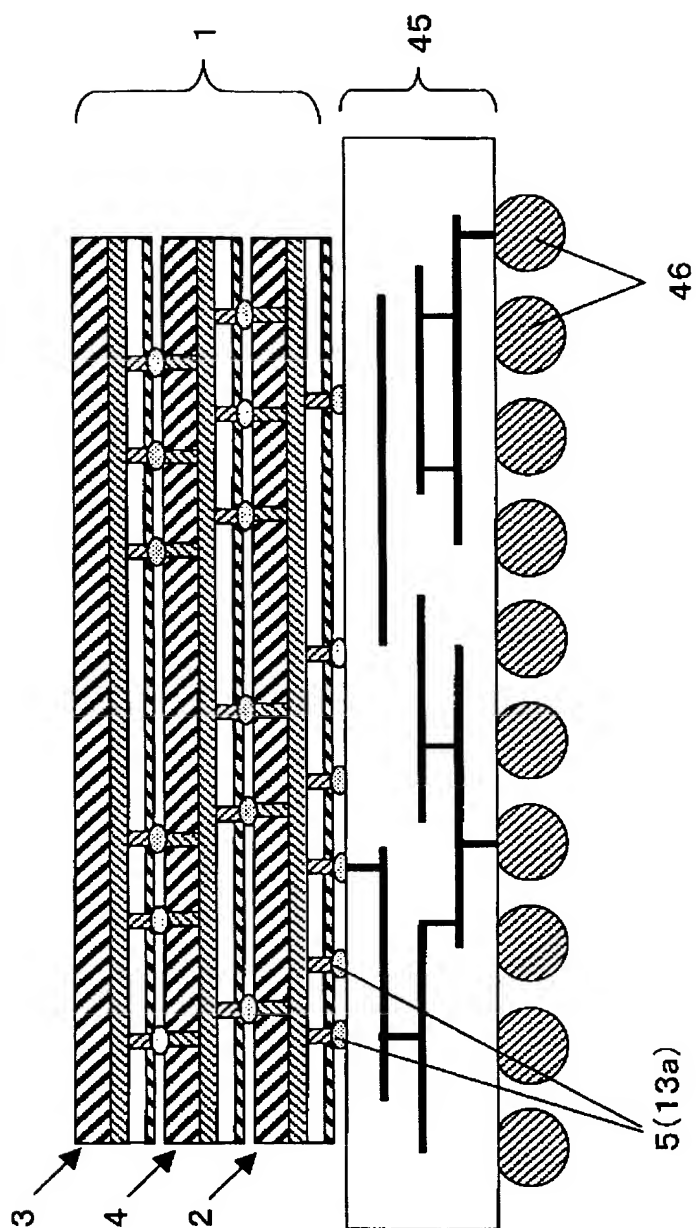
[図19]

FIG. 19



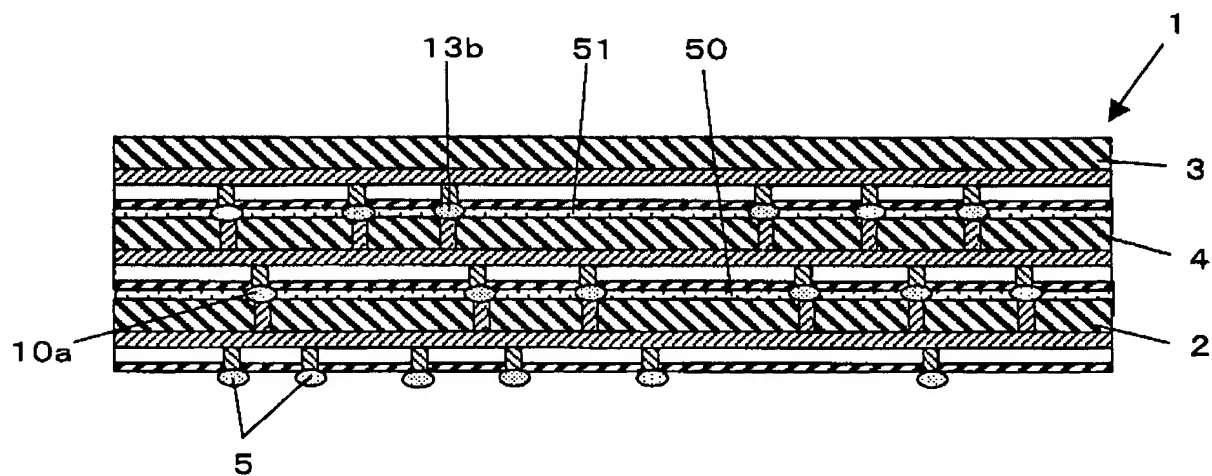
[図20]

FIG. 20

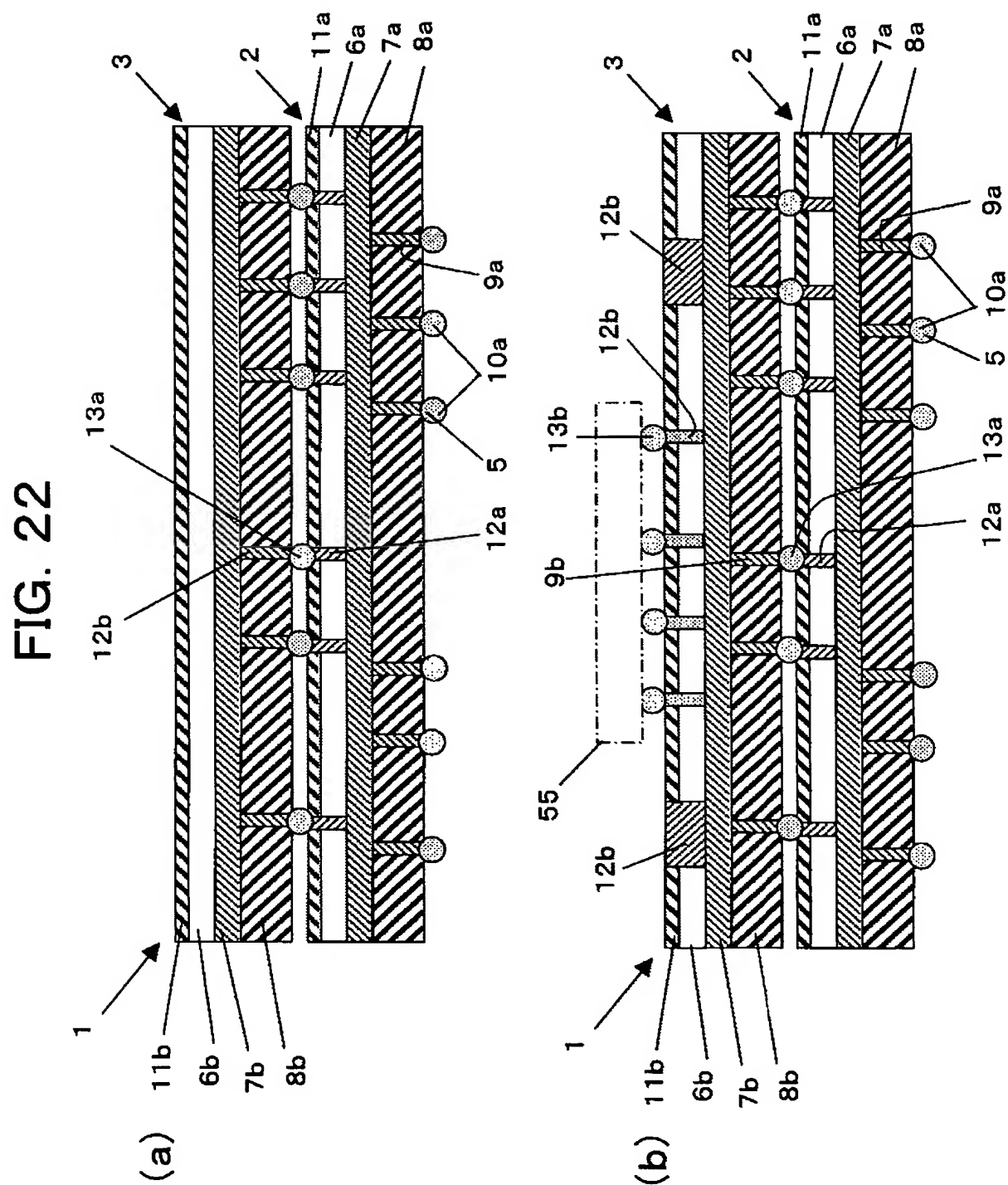


[図21]

FIG. 21

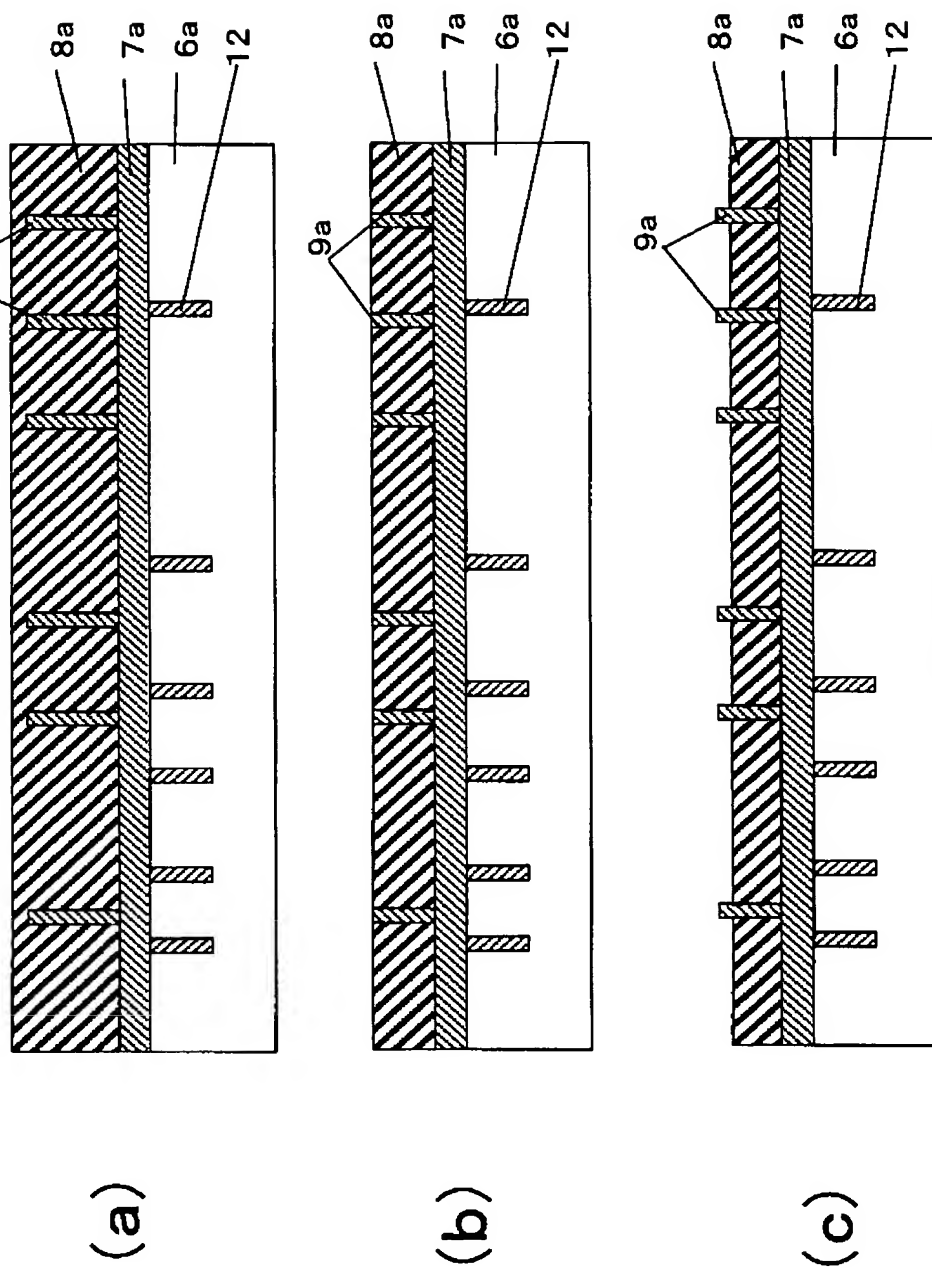


[図22]



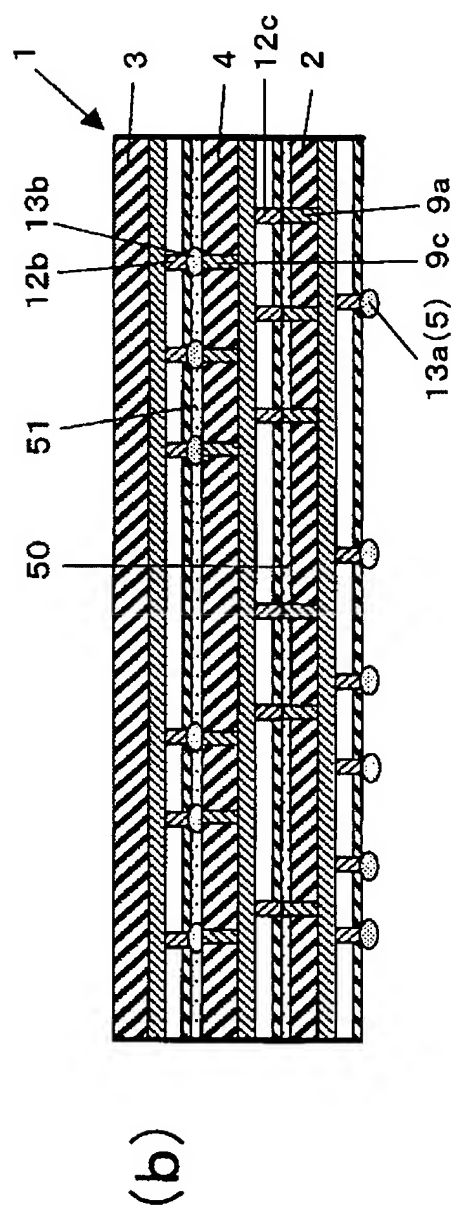
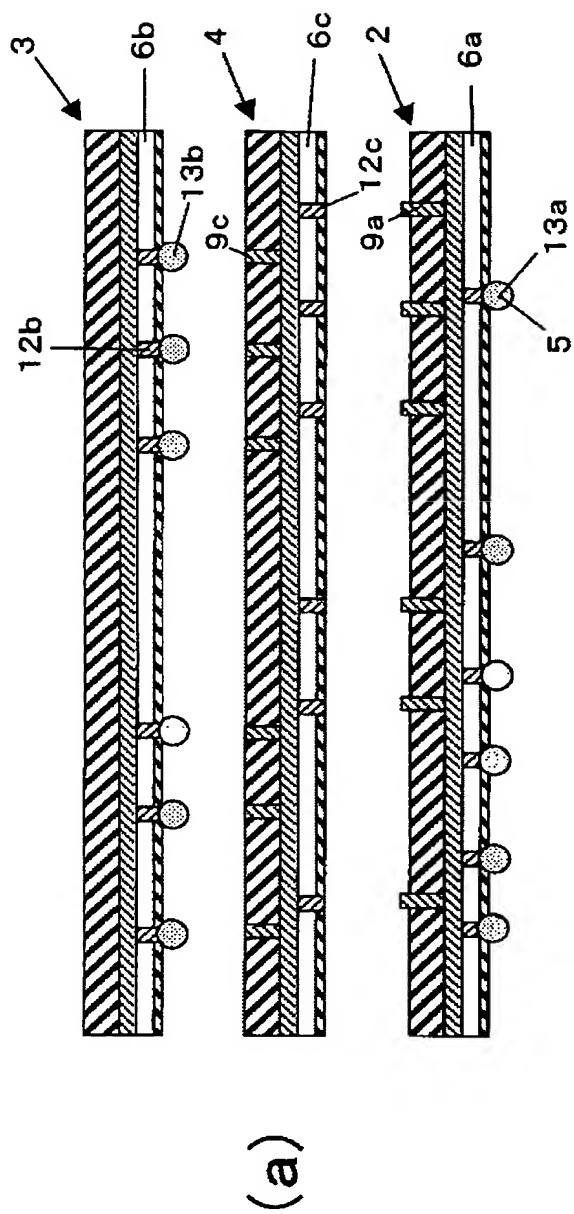
[図23]

FIG. 23



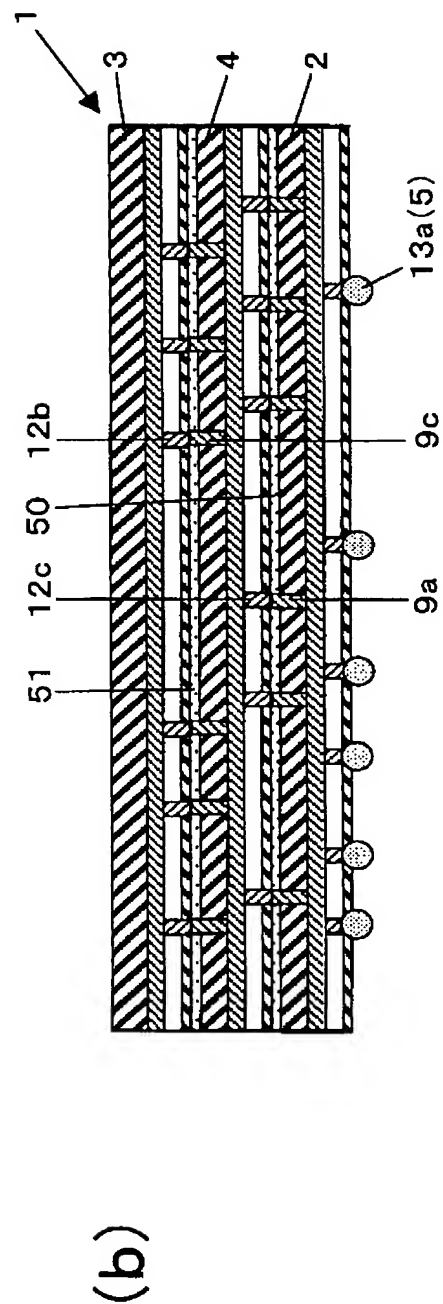
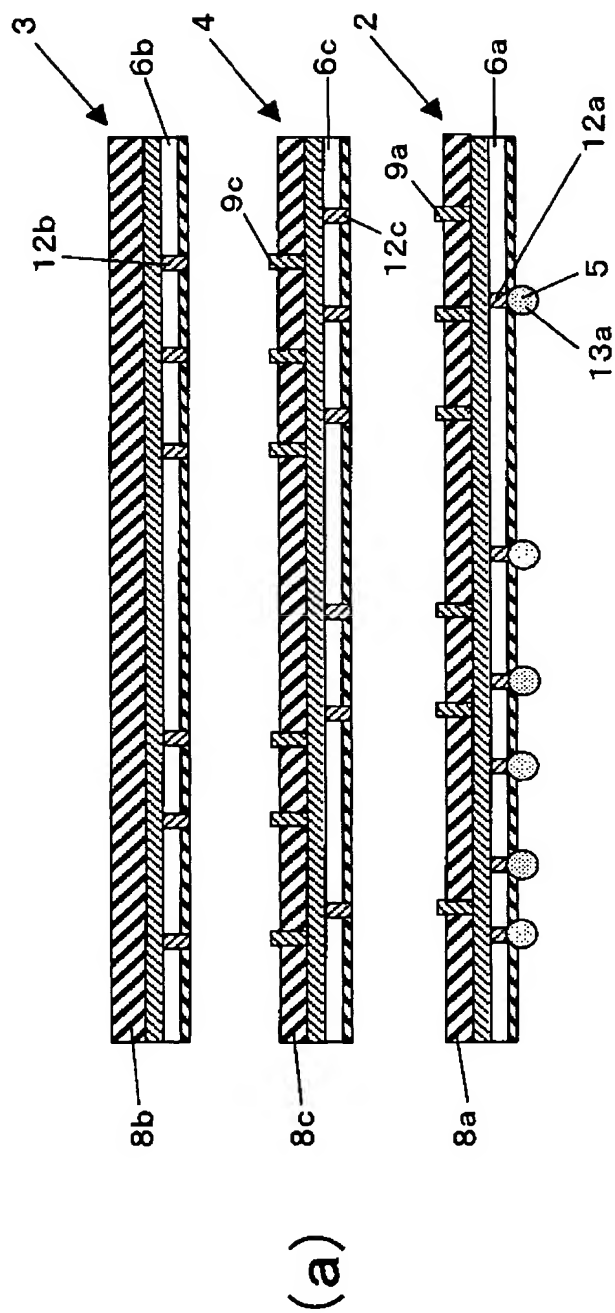
[図24]

FIG. 24



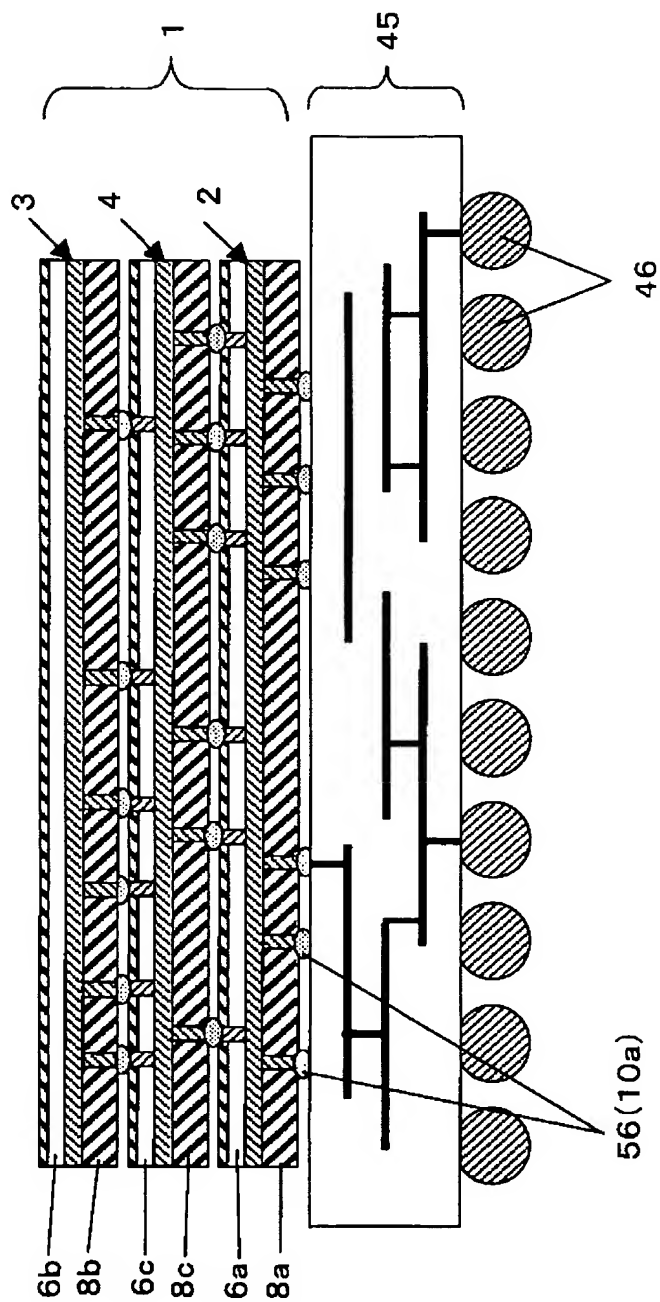
[図25]

FIG. 25



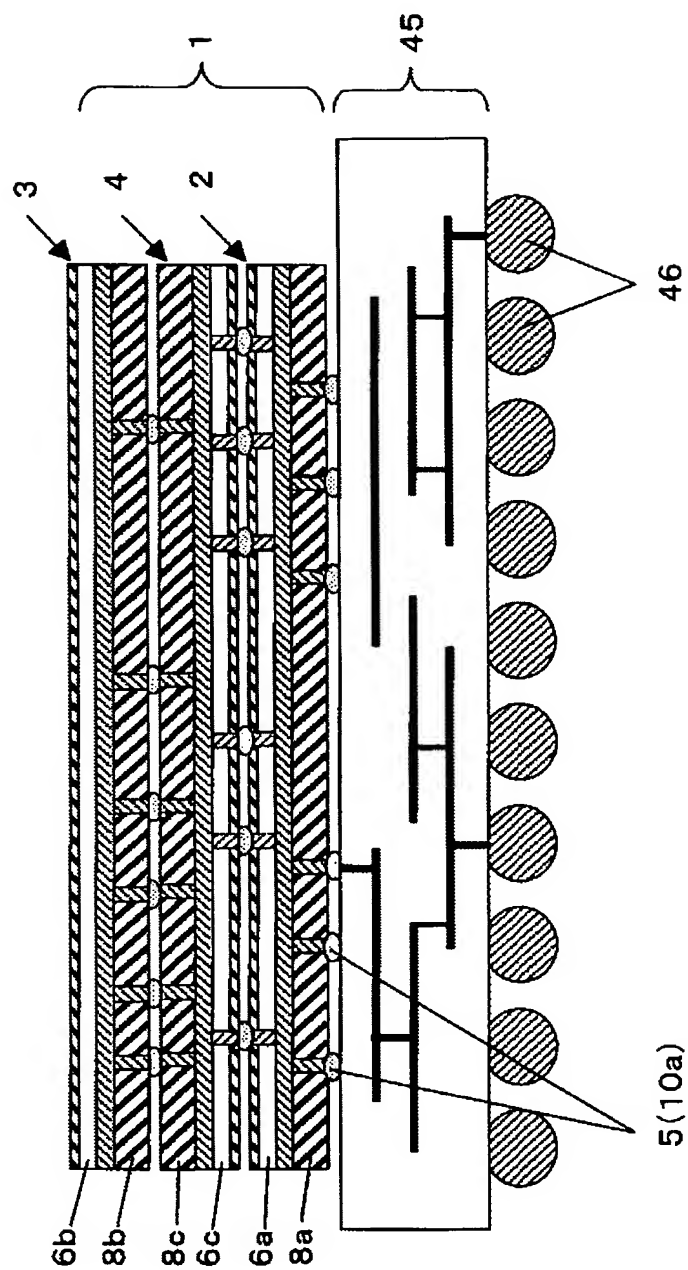
[図26]

FIG. 26



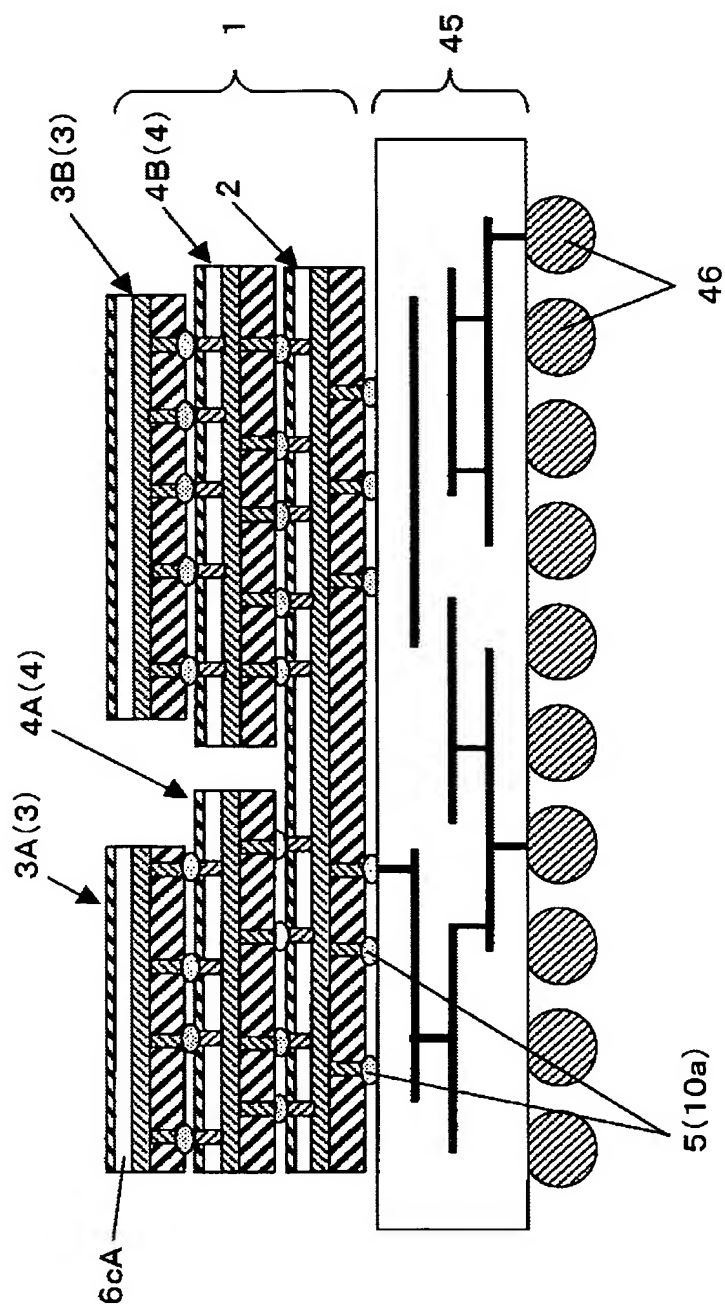
[図27]

FIG. 27



[図28]

FIG. 28



[図29]

FIG. 29

